

[19]中华人民共和国国家知识产权局

[51]Int. Cl⁶

H04N 5/44

H04N 7/50 H04N 7/26

[12] 发明专利申请公开说明书

[21] 申请号 98800295.7

[43]公开日 1999年6月23日

[11]公开号 CN 1220800A

[22]申请日 98.3.11 [21]申请号 98800295.7

[30]优先权

[32]97.3.12 [33]US[31]60/040,517

[86]国际申请 PCT/US98/04755 98.3.11

[87]国际公布 WO98/41012 英 98.9.17

[85]进入国家阶段日期 98.11.17

[71]申请人 松下电器产业株式会社

地址 日本大阪

[72]发明人 理查德·西塔 萨普拉萨德·内姆帕里
拉里·菲利普斯 埃德温·罗伯特·迈耶
金熙龙 罗伯特·T·瑞安
甘希亚姆·戴夫 爱德华·布罗斯
杰瑞德·皮尔逊

[74]专利代理机构 永新专利商标代理有限公司

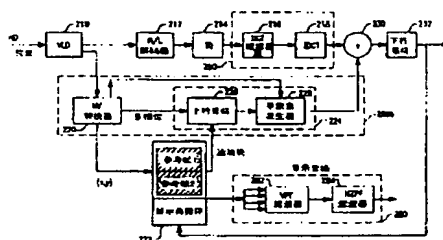
代理人 蹇 炜

权利要求书 8 页 说明书 53 页 附图页数 36 页

[54]发明名称 提供多重标准输出信号的 MPEG 解码器

[57]摘要

从 Advanced Television systems Standard(ATSC 近代电视系统标准)的视频解码器包含有在当解码器以第一模式运行时对 Main Profile, High Level (MP@HL) 图象解码以产生高清晰度视频输出和对 Main profile, Main Level (MP@ML) 信号解码以产生标准清晰度视频信号的电路。而在当解码器以第二模式运行时, 电路被用来由 MP@HL 信号生成标准清晰度图象。此视频解码器包含有为在解码器以第二模式运行时产生 MP@HL 信号的分辨率的频域滤波器。



RCA/AK RCA 88,318
CITED BY APPLICANT

ISSN 1008-4274

权 利 要 求 书

1、一种数字视频解码器，包括：

用于接收编码视频信号的端子；

解码电路，以第一方式运行对所接收的编码视频信号解码以提供具有第一空间分辨率的解码视频信号，以第二方式运行提供具有小于第一空间分辨率的第二空间分辨率的解码视频信号；

格式化电路，包括有空间滤波器，当解码电路以第二方式运行时该滤波器响应一格式控制信号处理被解码的视频信号以改变此解码视频信号的空间分辨率来产生具有与第一和第二空间分辨率不同的各显示空间分辨率的至少一个显示视频信号；和

控制装置，对解码器作第一和第二模式之间的转换和将格式化控制信号提供给格式化电路。

2、按照权利要求 1 的解码器，其中编码视频信号被利用频域变换加以编码，解码电路包括有对作频域变换的视频信号进行滤波的电路及根据频域逆变换对编码视频信号进行解码的电路。

3、按照权利要求 1 的解码器，其中被加给视频解码器的编码视频信号为各自具有其扫描信号类型的高清晰度视频类型和标准清晰度视频类型之一，此扫描信号类型选自渐进格式和交错格式所组成的组，该解码器进一步包括：

响应编码视频信号来确定此编码视频信号各扫描信号类型的装置；

接收具有各扫描信号类型的编程扫描信号的装置；

修改每一显示视频信号的各个显示空间分辨率以便提供具有 1) 当视频解码器以第一方式运行时编码视频信号的扫描信号类型和 2) 当视频解码器以第二方式运行时被编程扫描信号的扫描信号类型的显示视频信号的装置。

4、按照权利要求 3 的视频解码器，其中每一个扫描信号类型

包括各自的显示格式，格式化装置还包括有：

响应编码视频信号来确定扫描信号类型的原始显示格式的装置；

接收编程显示格式的装置；

其中，修改各显示空间分辨率的装置还提供具有 1) 当视频解码器以第一方式运行时编码视频信号的原始显示格式和 2) 当视频解码器以第二方式运行时被编程显示格式的显示视频信号。

5、按照权利要求 4 的视频解码器，其中原始的和编程的显示格式各自包含各个的高宽比；视频信号以多个由原始显示格式规定的像素组表述；修改各自的显示空间分辨率的装置在当以第二方式运行时依靠应用一再采样图形到被选择多个像素组来将原始显示格式修改到编程显示格式。

6、按照权利要求 5 的视频解码器，其中再采样模型包含至少第一和第二部分，各模型部分具有在原始显示格式的高宽比与编程显示格式的高宽比之间变化的再采样比。

7、按照权利要求 4 的视频解码器，其中视频信号为由多个被原始显示格式定义的像素组所表述的图象；用于修改各显示空间分辨率的装置包括有：

变换装置，当运行在第二方式中时以应用一再采样模型到被选择的多个像素组来将图象的原始显示格式的各高宽比变换到编程显示格式的高宽比。

8、按照权利要求 7 的视频解码器，其中被变换装置应用的再采样模型包括有至少第一和第二部分，各模型部分具有在原始显示格式的高宽比与编程显示格式的高宽比之间变化的再采样比，其中变换装置按照再采样模型将由具有原始显示格式的高宽比的多组像素表述的图象变换到具有编程显示格式的高宽比的新图象。

9、按照权利要求 7 的视频解码器，其中由变换装置应用的再采

样模型包括至少第一和第二部分，各模型部分具有在原始显示格式的高宽比与编程显示格式的高宽比之间变化的再采样比，其中变换装置通过对被选择的多组像素作再采样而消隐其余的多组像素来将以多组像素表述的具有原始显示格式的高宽比的图象变换到具有编程显示格式的高宽比的新图象。

10、按照权利要求 7 的视频解码器，其中变换装置在 1) 具有 16×19 比例的原始显示格式的高宽比与具有 4×3 比例的编程显示格式的高宽比；和 2) 具有 4×3 比例的原始显示格式的高宽比与具有 16×9 比例的编程显示格式的高宽比之间变换各自的高宽比。

11、按照权利要求 1 的视频解码器，其还包括为接收显示器类型信号的用户接口装置，显示器类型信号对应于从由 SDTV、S-视频、HDTV 和计算机监视器构成的组中选择的显示器类型，其中控制装置还提供具有显示器类型信号的各自的显示器类型的格式化控制信号以便使格式化电路能为对应的显示器类型格式化显示视频信号。

12、按照权利要求 1 的视频解码器，其中解码电路包含有一存储器，此存储器具有第一和第二部分，其中此解码电路在当视频解码器运行于第一方式时利用存储器的第一和第二部分双方，而在当视频解码器于第二方式运行时利用存储器的第一和第二部分之一。

13、一种数字视频解码器，接收和解码被编码的视频信号并以第一和第二方式之一运行，此视频解码器提供视频信号作为具有各自的显示分辨率和各自显示格式的显示视频信号，包括：

用于接收编码视频信号的端子；

解码电路，于第一方式运行对所接收的编码视频信号进行解码以得到具有第一空间分辨率的解码视频信号，于第二方式运行以得到具有小于第一空间分辨率的第二空间分辨率的解码视频信号；

格式化电路，包括有一空间滤波器，当解码电路以第二方式运

行时响应格式化控制信号处理解码视频信号来将解码视频信号的空间分辨率改变到至少一个具有与第一和第二空间分辨率不同的各自的显示空间分辨率的显示视频信号；和

控制装置，在第一与第二方式间切换解码器和将格式化控制信号提供给格式化电路。

14、如权利要求 13 中所述的视频解码器，其中在第二方式中视频解码器从表述视频图象的编码的视频信号形成具有各自的显示空间分辨率的显示视频信号，此编码的视频信号为作频域变换的高分辨率视频信号；

该解码装置包括有：

用于接收和提供编码信号作为多个高分辨率频域视频系数值的装置；

下行变换滤波器装置，接收和加权被选择的多个高分辨率频域视频系数值以形成一组经滤波的频域视频系数；

逆变换装置，将经滤波的频域视频系数变换成一组经滤波的像素取样值；和

包括有作十取一装置的空间滤波器，用于删除该组经滤波的像素样本中被选择的取样值以提供具有各自的显示空间分辨率的显示视频信号。

15、如权利要求 14 中所述的视频解码器，其中作频域变换的视频信号被离散余弦变换（DCT）操作加以变换以便提供作为各自的 DCT 系数的多个高分辨率频域值中的每一个，下行变换滤波器装置对各个所选择的一 DCT 系数进行加权，逆变换装置以反离散余弦变换（IDCT）操作来变换频域视频系数。

16、如权利要求 14 中所述的视频解码器，其中下行变换滤波器装置是一具有截止频率的低通滤波器，该截止频率通过用以十取一的比来除编码视频信号采样频率来确定。

17、如权利要求 14 中所述的视频解码器，其中下行变换滤波器装置包括有多个具有预定数量抽头的低通块镜象滤波器的频域系数。

18、如权利要求 14 中所述的视频解码器，其中下行变换滤波器装置为一以一组频域滤波器系数表述的低通滤波器，下行变换装置以多个高分辨率频域视频系数值乘该组频域滤波器系数来对被选择的多个高分辨率频域视频系数值进行加权。

19、如权利要求 14 中所述的视频解码器，其中十中取一装置按照十取一比对该组滤波像素取样值进行下行采样。

20、如权利要求 13 中所述的视频解码器，其中在第二方式中视频解码器从表述视频图象的编码视频信号形成具有各自的显示空间分辨率的显示视频信号，编码的视频信号是一作频域变换的高分辨率视频信号，解码装置包括有：

用于提供编码视频信号作为多个频域视频系数值的装置；

组合装置，将此多个频域视频系数值与一组滤波逆变系数相组合以产生一组滤波像素取样值，其中滤波逆变系数为一组作下行变换的加权系数与为由频域到空域变换的逆变换系数的组合；和

空间滤波器包括有为删除被选择的该组被滤波像素取样值中的样值以产生一组作十中取一的像素取样值的十取一装置；和

视频解码器包含为存储该组被作十取一的滤波像素取样值并将所存储的该组被作十取一的滤波像素取样值提供作为具有各个的显示空间分辨率的显示视频信号提供的装置。

21、一种数字视频解码器，接收具有编码的视频部分和编码的音频部分的编码视频信号，包括：

传递解码器，被耦合来接收编码的视频信号，将此编码的视频信号分解成为编码的视频部分和编码的音频部分；

视频解码器，包含有：

具有第一部分和第二部分的存储器；

解码电路，对所接收的编码的视频部分进行解码以提供具有各自的分辨率的视频信号的视频部分；

数字滤波电路，耦合到解码电路，当解码器运行于第二方式中对所接收的编码视频部分进行数字滤波以提供具有各自的分辨率的滤波视频部分，此滤波视频部分的分辨率不大于视频信号的视频部分的分辨率；

其中解码电路在当视频解码器运行于第一方式中时利用存储器的第一和第二部分对编码视频部分进行解码，当数字滤波电路被使能和视频解码器运行在第一方式中时解码电路利用第一部分对编码视频分进行解码；

格式化电路，根据至少一所接收的显示格式对视频信号的视频部分进行格式化，该格式化电路包括有：

用于在各自的输出端口以各自的显示格式提供视频部分作为至少一显示视频信号的装置，此至少一显示视频信号在视频解码器以第一方式运行时具有视频信号的视频部分的分辨率；和

用于在各自的输出端口以各自的显示格式提供被滤波的视频部分作为至少一显示视频信号，此至少一显示视频信号在视频解码器以第二方式运行时具有视频信号的被滤波视频部分的对应分辨率；和

在第一和第二方式间切换解码器的装置；和

音频解码器，对音频部分进行解码和对应于显示视频信号提供此音频部分。

22、如权利要求 21 中所述的数字视频解码器，其中在各个的输出端口的至少一显示视频信号为一被加到数/模转换器以将数字信号转换成模拟信号的数字信号，而此模拟信号随后被提供到一滤波器，由此从各显示视频信号滤除假象。

23、如权利要求 21 中所述的数字视频解码器，还包括有：

变换装置，将一显示视频信号作下行变换到具有 NTSC 分辨率的信号；和

编码装置，将经变换的一显示视频信号编码作为 NTSC 格式化的视频信号。

24、如权利要求 21 中所述数字视频解码器，其中视频信号表示一视频图象，此视频图象至少为高清晰度视频图象和计算机生成的图象之一，它经频域编码而后作传递编码；视频传递解码器包括一通信接口，接收和解码此经传递编码的视频图象以便将频域编码的视频图象作为编码的视频信号提供给视频解码器。

25、一种数字视频解码器，包括：

用于接收编码视频信号的端子；

解码电路，将所接收的具有第一空间分辨率的编码的视频信号加以解码以提供具有低于第一空间分辨率的第二空间分辨率的解码的视频信号；

格式化电路，包括有一空间滤波器，处理经解码的视频信号以改变解码视频信号的空间分辨率来产生至少一个具有与第一和第二空间分辨率不同的各自的显示空间分辨率的显示视频信号。

26、如权利要求 15 的解码器，其中编码视频信号采用频域变换加以编码；和解码电路包括有对频域变换的视频信号作滤波的电路和根据频域逆变换对编码视频信号解码的电路。

27、一种以数字视频解码器进行编码视频信号解码的方法，包括步骤：

a) 对所接收的编码视频信号解码以提供 i) 当数字视频解码器以第一方式运行时，具有第一空间分辨率的解码视频信号，和 ii) 当数字视频解码器以第二方式运行时，具有低于第一空间分辨率的第二空间分辨率的解码视频信号；

b) 由一控制器提供格式化控制信号;

c) 按照该格式化控制信号对解码视频信号进行滤波以当数字视频解码器运行于第二方式中时改变解码视频信号的空间分辨率, 经滤波的解码视频信号具有与第一和第二空间分辨率不同的各自的显示空间分辨率; 和

d) 1) 当数字视频解码器运行于第一方式中时从具有第一空间分辨率的解码视频信号, 和 2) 当数字视频解码器运行于第二方式中时从经滤波的解码视频信号产生至少一显示视频信号。

28、按照权利要求 27 中所述的数字视频解码器解码的方法, 其中编码的视频信号是作频域变换的高分辨率视频信号, 该方法还包括有步骤:

提供编码的视频信号作为多个高分辨率频域视频系数值;

对被选择的多个高分辨率频域视频系数值进行加权以形成一组滤波频域视频系数;

将滤波频域视频系数变换成一组滤波像素取样值; 和

删除被选择的滤波像素取样组的值以提供具有各自的显示空间分辨率的显示视频信号。

29、一种由数字视频解码器对编码的视频信号解码的方法, 此编码视频信号采用频域变换编码, 该方法包括步骤:

a) 对接收的具有第一空间分辨率的编码视频信号进行解码以提供频域变换视频信号;

b) 在频域中对频域变换视频信号进行滤波和逆变换以提供具有低于第一空间分辨率的第二空间分辨率的解码的视频信号; 和

c) 对解码的视频信号进行空间滤波以改变此解码视频信号的空间分辨率以产生至少一个具有不同于第一和第二空间分辨率的各自的显示空间分辨率的显示视频信号。

说明书

提供多重标准输出信号的 MPEG 解码器

本专利申请要求 1997 年 3 月 2 日提交的 US 临时申请的 NO.60/040, 517 的权益。

1997 年 3 月 2 日提交的 US 临时申请 NO.60/040, 517 的完整揭示内容在此用作参考。

发明领域

本发明是关于接收、解码频域编码信号例如 MPEG-2 编码视频信号而将其变成换成标准输出视频信号的解码器，较具体说是关于将被编码的高分辨率视频信号格式化为具有用户选择分辨率的被解码输出视频信号的解码器。

发明背景

实用的一种 Advanced Television System Committee(ATSC, 先进电视系统委员会)标准规定高清晰度电视(HDTV)信号的数字编码。此标准的一部分基本上与 International Organization for Standardization(ISO, 国际标准化组织)的 Moving Picture Experts Group(MPEG, 运动图象专家组)所建议的 MPEG-2 标准相同。此标准在一 International Standard (IS, 国际标准)刊物“Information Technology-Generic Coding of Moving Pictures and Associated Audio, Recommendation H.626”, ISO/IEC13818-2, IS, 11/94 中被加以介绍, 这可由 ISO 获取, 在此结合用作为对于有关 MPEG-2 数字视频编码标准的教导的参考。

MPEG-2 标准实际上是数个不同的标准。MPEG-2 中定义数种不同的侧面, 各自对应于编码图象的不同复杂程度。对各个侧面定义不同的等级, 每一等级对应于不同的图象分辨率。被称作为 Main

Profile, Main Level(主模型, 主等级)的 MPEG-2 标准之一预定供对符合现有电视标准(亦即 NTSC 和 PAL)的视频信号进行编码应用。另一种被称作 Main Profile, High Level (主模型, 高等级)的标准预定供高清晰度电视图象编码应用。按照 Main Profile, High Level 标准编码的图象可具有多达每图象帧 1152 有效行和每行 1920 像素。

另一方面, Main Profile, Main Level 标准定义最大图象大小为每行 720 像素和每帧 567 行。在帧速率为每秒 30 帧时, 按此标准的编码的信号有数据速率每秒 $720 \times 567 \times 30$ 即 12247200 像素。相反, 按照 Main Profile, High Level 标准编码的图象数据则具有每秒 $1152 \times 1920 \times 30$ 即 66355200 像素的最大数据速率。这一数据速率超过按照 Main Profile Main Level 标准编码的图象数据的数据速率的 5 倍。在美国用于 HDTV 编码的标准是这一标准的子集, 具有多达每帧 1080 行, 每行 1920 像素, 对这种帧大小的最大帧速率为每秒 30 帧。对此标准的最大数据速率仍然远大于对 Main Profile, Main Level 标准的最大数据速率。

MPEG-2 标准定义一包含数据与控制信息的混合体的复杂的语法。这一控制信息的某些被用于使得具有数种不同格式的信号能被此标准覆盖。这些格式定义具有每行不同像素数、每帧或场不同行数 and 每秒不同帧或场数的图象。另外, MPEG-2 main Profile 的基本语法定义以五层表述图象序列的压缩 MPEG-2 位流: 序列层、图形组层、图形层、片层和宏块层。这些层的每一个均由控制信息引导。最后, 其他的控制信息, 也称之为副信息(例如帧类型、宏块模式、图象运动矢量、系数交错模式和反量化信息)被散布在整个编码位流中。

编码的高分辨率 Main Profile, High Level 图形到低分辨率 Main Profile, High Level 图形、Main Profile, Main Level 图形、或其他低分辨率图形格式的格式变换对于下列这些方面日趋重要: a)提供用于

多重现有视频格式的单一解码器；b)提供 Main Profile, High Level 信号与个人机监视器或现有用户电视接收机之间的接口；和 c)降低 HDTV 的实施成本。例如，变换使得能以为支持例如 Main Profile, Main Level 编码图形的具有较低图形分辨率的较价廉的现有监视器如 NTSC 或 525 渐进监视器来代替昂贵的用于 Main Profile, High Level 编码图形的高清晰度监视器。一个方面是下行变换，将高清晰度输入图形变换成较低分辨率图形以便在较低分辨率监视器上显示。

为有效地接收数字图象，解码器应快速处理视频信号信息。为优化有效性，编码系统应相对地便宜并具有足够的功率实时地解码这些数字信号。结果，支持多重格式的译码器必须使处理器存储器最小

发明概述

本发明体现在运行于第一和第二模式的数字视频解码器中。此数字视频解码器在一端接收编码的视频信号，它包含运行于 1) 对所接收的编码的视频信号进行解码以提供具有第一空间分辨率的解码的视频信号的第一模式，和 2) 提供具有低于第一空间分辨率的第二空间分辨率的解码视频信号的第二模式的解码电路。数字视频解码器还包括：包括有空间滤波器的格式化电路，当解码电路在第二模式中运行时响应处理解码视频信号的格式化控制信号来改变解码视频信号的空间分辨率以产生至少一个具有不同于第一和第二空间分辨率的各显示空间分辨率的显示视频信号；和一控制器，用于在第一和第二模式间转换解码器和用于将格式控制信号提供给格式化电路。

附图的简要说明

本发明的这些和其他特性和优点由下面结合附图所作详细说明将会显见，所列附图为：

用 1A 为按照本发明一示范实施例的视频解码和格式变换系统的高级方框图；

图 1B 为表明本发明一示范性实施例中所应用的包含对外部存储器接口的 ATV 视频解码器的功能组件的高级方框图；

图 2A 为由本发明一示范性实施例所应用的视频解码器的高级方框图；

图 2B 为由本发明一示范性实施例所应用的下行变换系统的高级方框图；

图 2C 为说明图 2A 中所示用于解码 750P 格式的视频信号的解码器的组构的方框图；

图 2D 为说明图 2B 中所示的用于解码 1125I 格式的视频信号的视频信号的包含作 2 倍下行变换到 525P/525I 格式的解码器的组构的方框图；

图 2E 为说明图 2B 中所示用于解码 750P 格式的视频信号的包括作 2 倍下行变换到 525P/525I 格式的解码器的组构的方框图；

图 3A 为说明对本发明的 3:1 和 2:1 示范实施例的子像素位置和对应的预测像素的像素图；

图 3B 为表明对本发明一示范性实施例一输入宏块的每一行执行的向上采样处理的流程图；

图 4 为说明对块镜面滤波器的示范实施例的第一和第二输出像素值的倍增对的像素图；

图 5 为说明对处理作为级联一维 IDCT 实现的水平和垂直成份的二维系统的滤波器的示范性实现的方框图；

图 6A 为表明对采用 2: 1 十中取一的 4: 2: 0 视频信号的输入和作十中取一的输出象素的宏块图；

图 6B 为表明对采用 2: 1 十中取一的 4: 2: 0 的输入和作十中取一输出象素的像素方框图；

图 6C 为说明对作水平 2 倍下行变换将二宏块合并成单一宏块存储进存储器的处理的宏块图；

图 6D 为说明对作水平 2 倍下行变换将三宏块合并成单一宏块存储进存储器的处理的宏块图；

图 7A 为说明本发明一实施例的垂直可编程滤波器的方框图；

图 7B 为说明图 7A 的垂直可编程滤波器的垂直滤波系数与行像素采样间隔间的空间关系的像素图；

图 8A 为说明本发明实施例的水平可编程滤波器的方框图；

图 8B 为说明本发明一实施例的水平滤波器系数与像素采样值之间的空间关系的像素图；

图 9A 为说明本发明的示范实施例的重采样比例图形的像素数—重采样比图例；

图 9B 为表明为将 4: 3 图形映射到 16: 9 显示器的第一比例图形的图例；

图 9C 为表明为将 4: 3 图形映射到 16: 9 显示器的第二比例图形的图例；

图 9D 为表明将 16: 9 图形映射到 4: 3 显示器的第一比例图形的图例;

图 9E 为表明将 16: 9 图形映射到 4: 3 显示器的第二比例图形的图例;

图 10 为说明按照本发明示范实施例利用重复采样比例图形的效果的图象图形表;

图 11A 为说明本发明示范实施例的 ATV 视频解码器的显示部分的高级方框图;

图 11B 为说明本发明示范实施例的 27MHz Dual 输出方式的方框图, 其视频数据是 525P 或 525I, 其中第一处理链将视频数据提供给 27 MHz DAC 及 NTSC 编码器;

图 11C 为说明在本发明示范实施例的 27MHz 单一输出方式中仅将 525I 视频信号提供给 NTSC 编码器时的方框图;

图 11D 为说明本发明示范实施例的 74MHz/27MHz MHz 模式的方框图, 其中输出格式符合输入格式, 视频数据根据输入格式被加给 27 MHz DAC 或 74 MHz DAC;

图 12 为本发明示范实施例所采用的具有高带宽存储器的仅对 Main Profile, Main Level MPEG-2 ATSC 视频信号进行解码的视频解码器的高级方框图;

图 13A 为说明当输入视频图象为场格式时有关读数、存储和显示图形信息的处理和流程时间的定时图的上半部分;

图 13A 为说明当输入视频图象为场格式时有关读数、存储和显示图形信息的处理和流程时间的定时图的下半部分;

图 14A 为说明当输入视频图象为帧格式时有关读数、存储和显示图形信息的处理和流程时间的定时图的上半部分；

图 14B 为说明当输入视频图象为帧格式时有关读数、存储和显示图形信息的处理和流程时间的定时图的下半部分；

图 15A 为说明当输入视频图象为渐进序列而显示为交错序列时有关读数、存储和显示图形信息的处理和流程时间的定时图的上半部分；

图 15B 为说明当输入视频图象为渐进序列而显示为交错序列时有关读数、存储和显示图形信息的处理和流程时间的定时图的下半部分；

图 16A 为说明当输入视频为渐进序列和显示为渐进序列时有关读数、存储和显示图形信息的处理和流程时间的定时图的上半部分；

图 16B 为说明当输入视频为渐进序列和显示为渐进序列时有关读数、存储和显示图形信息的处理和流程时间的定时图的下半部分；

图 17A 为表明在将解码器组构来提供高清晰度视频信号时如何利用存储器的存储器映象图；

图 17B 为表明在对一种类型的图象解码时一行图象宏块如何映射进存储器行的存储器映象图；

图 18A 为表明当将解码器组构来提供标准清晰度视频信号时如何利用存储器的存储器映象图；

图 18B 为表明在对另一类型图象解码时一行图象宏块如何映射进存储器行的存储器映象图；

图 19A 为表明当将解码器组构来提供高清晰度视频信号时如何

利用被减少的存储器的存储器映象图；和

图 19B 表明当对另一类型图象解码时一行图象宏块如何映射进存储器行的存储器映象图。

详细说明

系统综述

本发明示范实施例对已经按照 MPEG-2 标准间特别是 Main Profile High Level (MP@HL)和 Main Profile Main Level(MP@ML) MPEG-2 标准编码的通常 HDTV 信号进行解码，提供作为具有多重格式中选的一种的视频信号的解码的信号。

此 MPEG-2 Main Profile 标准定义五层的图象序列：序列层、图形组层、图形层、片层和宏块层。这些层的每一个均可被看作为一数据流中的记录，其中稍后列举的层的存在作为早先列出层中的嵌套子层。每层记录中包括一含有用于解码其子记录的数据的标题部分。

编码的 HDTV 信号的各宏块含有 6 块而各块含有代表 HDTV 图象中的 64 个像素的离散余弦变换 (DCT) 表述的 64 个各别的系数值的数据。

在编码过程中，象素数据在作离散余弦变换之前经受运动补偿差分编码，而经变换系数的块进一步应用游程和可变长编码技术加以编码。从数据流复原图象序列的解码器倒转编码过程。此解码器利用一熵解码器（如可变长解码器）、反离散余弦变换处理器，运动补偿处理器和内插滤波器。

本发明的视频解码器被设计来支持多种不同的图形格式，而只需要用于高清晰度编码图形格式的下行变换的最小的解码存储器，

例如 48Mb 的 Concurrent Rambus 动态随机存取存储器 (Concurrent RDRAM0)。

图 1 表明一利用本发明示范实施例的系统, 用于接收和解码以 MP@HL 或 MP@ML 编码的视频信息, 将经解码的信息格式化为用户所选择的输出视频格式 (它包括视频和音频信息两者), 将作格式化的视频输出信号提供到显示装置的接口。本发明的此示范实施例被设计来支持所有 ATSC 视频格式。为简单起见, 将运行分成为接收任何 MPEG Main Profile 视频位流 (受 FCC 标准约束) 和提供 525P、525I 或 NTSC 格式图形的 Down Conversion (DC, 下行变换), 和由 MPEG Main Profile 位流提供高分辨率 1080I/1125I 或 750P 格式图形的 Full Specification (FS, 全规范) 方式。

图 1A 的示范性系统包括有一前端接口 100、视频解码器部分 120 及相关的解码器存储器 130、基本视频输出接口 140、音频解码器部分 160、可选的计算机接口 110 和可选的 NTSC 视频处理部分 150。

参看图 1A, 示范性系统包括前端接口 100, 它具有带相应存储器 103 的传送解码器和处理器 102。还可包括有一可选的多路器 101, 用于选择由计算机接口 110 以例如 IEEE1394 链路层协议接收的控制信息和计算机所生成的图象, 或者用于从数字电视调谐器 (未作图示) 复原被编码的传送数据流。此传送解码器 102 将从通信信道位流接收的压缩数据位流变换成压缩视频数据, 它可能是例如按照 MPEG-2 标准打包的基本流 (PES) 包。传送解码器可以直接提供此 PES 包, 或者可进一步将 PES 包变换成一或多个基本流。

视频解码器部分包括一 ATV 视频解码器 121 和数字锁相回路 (DPLL) 122。ATV 视频解码器 12 从由前端接口 100 接收基本流或视频 (PES) 包和将此包变换到基本流。然后 ATV 视频解码器 121

的前端图形处理器根据所采用的编码方法解码基本流，以提供对各图象图形的辉度和色度象素信息。

ATV 视频解码器 121 还包括有为利用提供图象信息的外存储器控制解码操作的存储器子系统和为将经解码的图形信息处理成所希望的图形格式的显示部分。ATV 视频解码器 121 利用解码器存储器 130 处理高分辨率编码视频信号。DPLL 122 被用来为 ATV 解码器 120 与解码器存储器 130 之间的同步化处理操作生成定时信号。解码器存储器 130 包括一各自可以为 16M RDRAM 存储器的第一组存储器单元 131、132 和 133，以及各自也可以是 16Mb RDRAM 存储器的第二组存储器单元 134、135 和 136。本发明的示范实施例基本上是对照并最好实现在此视频解码器部分 120 和解码器存储器 130 中加以描述。

基本视频输出接口 140 包含一可作 74MHz 运行、后随滤波器 142 的第一数/模 (D/A) 转换器 (DAC) 141 (它实际上具有三个用于辉度信号和 C_R 、 C_B 色度信号的 D/A 单元)。这一接口产生具有 1125I 或 750P 格式的模拟视频信号。接口 140 还包括可运行在 27MHz、后随滤波器 142 以产生具有 525I 或 525P 格式的视频信号的第二 (D/A) 转换器 (DAC) 143 (也具有三个用于辉度信号和 C_R 及 C_B 色度信号的 D/A 单元)。基本视频输出接口 140 利用一 (D/A) 转换器转换具有所希望格式的数字编码视频信号，生成具有色度和辉度成份的模拟视频信号，和对此模拟视频信号滤波以去除 D/A 转换处理的采样假象。

音频解码器部分 160 包括一在输出端口 163 和 164 提供音频信号的 AC3 音频解码器 162，和为在输出端口 165 提供 2 信道音频信号的可选的 6-2 信道下行混频处理器 161。MP@ML MPEG-2 标准音频信号成份从编码的数字信息到在输出端口 163、164 和 165 的模

拟输出的音频处理在本技术领域中公知的，而适宜用作解码器 160 的音频解码器是 ZR38500 6 通道 Dolby Digital Surround Processor, 可由 Zoran Corporation of Santa clara, CA 供给。

可选的计算机接口 110 发送和接收符合例如 IEEE1394 标准的计算机图象信号。计算机接口 110 包括有物理层处理器 111 和链路层处理器 112。物理层处理器 111 将来自输出端口 113 的电气信号变换成所接收的计算机生成图象信息和控制信号，并由链路层处理器 112 解码成 IEEE 1394 格式化数据提供这些信号。物理层处理器 111 还将接收的源自传送解码器 102 的经链路层处理器 112 编码的控制信号变换成按照 IEEE1394 标准的电气输出信号。

NTSC 视频处理部分 150 包括一将滤波器 142 提供的模拟 HDTV 信号变换成 525I 信号的可选的 ATV—NTSC 下行变换处理器 151。这种标准间的变换是本技术领域中公知的，并可用空间滤波技术来实现，例如那些在美国专利 No.5613084 Han 等的“Interpolation Filter Selection Circuit for Sample Conversion Using Phase Quantization”中所揭示的，在此结合用作参考。本发明的示范实施例中这一处理部分仅在解码器处理 1080I 或 1125I 信号时被加以应用。

NTSC 编码器 152 从处理器 151 或直接从解码器 120 接收 525I 模拟信号，并将此信号变换为输出端口 153(S-video)和 154(组合视频)的 NTSC 格式化视频信号。

采用解码器存储器的视频解码器部分

图 1B 为表明本发明示范实施例中应用的包括对外部存储器 130 的接口的 ATV 视频解码器 121 的功能组件的高级方框图。ATV 视频解码器 121 包括有一图形处理器 171、宏块解码器 172、显示部分 173 和存储器子系统 174。图象处理器 171 接收、存储和部分地解码

输入 MPEG-2 视频位流，并在存储器子系统 174 的控制下提供可被存储在存储器 130 中的编码位流、屏幕显示数据、和运动矢量。宏块解码器 172 接收编码的位流、运动矢量和存储的运动补偿参考图象数据，如果采用预测编码的话，并将经解码的编码视频图象的宏块提供给存储器子系统 174。显示部分 173 从存储器子系统 174 检索解码宏块并将这些格式化成为用于显示的视频图象图形。下面详细说明这些部分的运行。

a) 对图形处理的 Main Profile 格式支持

本发明的 ATV 视频解码器 121 被设计来支持所有 ATSC 视频格式。为简单起见，ATV 视频解码器 121 的运行被分成为接收表 1 中所示的任一 MPEG Main profile 视频位流和提供 525P、525I 或 NTSC 格式视频信号的 Down Conversion (DC,下行变换)方式，和从 MPEG Main Profile 位流提供高分辨率 1080I/1125I 或 750P 格式图形的 Full Specification (FS,全规范)方式。对于图 1A 的示范视频解码器，在 FS 方式中任何高清晰度或标准清晰度电视信号(HDTV 或 SDTV)均被解码并以与其被编码时所采用的相同格式在一输出端口提供。在 DC 方式中，任何 HDTV 或 SDTV 信号均被解码并在二个端口之一提供显示输出信号，其中端口 1 提供渐进的或交错的图象，端口 2 提供交错图象。

表 1

视频位流格式

号和格式	水平	垂直	高宽比	帧速率 (Hz)
(1)1125I	1920	1080	16x9	30, 29.97
(2)1125P	1920	1080	16x9	30, 29.97, 24, 23.98
(3)750P	1280	720	16x9	60, 59.94, 30, 29.97, 24, 23.98
(4)525P	704	480	16x9	60, 59.94, 30, 29.97,

				24, 23.98
(5)	704	480	4x3	60, 59.94, 30, 29.97, 24, 23.98
(6)	640	480	4x3	60, 59.94, 30, 29.97, 24, 23.98
(7)	704	480	16x9	30, 29.97
(8)	704	480	4x3	30, 29.97
(9)	640	480	4x3	30, 29.97

在 FS 方式中, 图形信息包含在标题中(序列或图形)而 MPEG 标准使得渐进图形能作为交错图形显示。而且, 为支持由 30Hz/60Hz 到 29.97Hz 的帧速率 Hz 变换, 解码器可对每接收的 1001 个图形放掉 1 图形帧。表 2 给出对表 1 的各别输入位流的支持 FS 方式输出图形格式:

表 2

FS 支持视频格式

号和格式	每行有效 像素数	每帧有效 行数	每行总 的像素	每帧总 的行	帧 速 率 (Hz)	显示时钟 (MHz)
(1) 1125I	1920	1080	2200	1125	29.97	74.1758
(2) 1125P	1920	1080	2200	1125	29.97	74.1758
(3) 750P	1280	720	1650	750	59.94	74.1758
(4) 525P	720	480	858	525	59.94	27.00
(5) 525P	720	480	858	525	59.94	27.00
(6) 525P	720	480	858	525	59.94	27.00
(7) 525I	720	480	858	525	29.97	27.00
(8) 525I	720	480	858	525	29.97	27.00
(9) 525I	720	480	858	525	29.97	27.00

在 DC 方式中, Main Level 图形高频成份的低通滤波作为解码

处理的一部分发生来将高分辨率图形的分辨率调整到具有较低分辨率的格式。此操作包括对高分辨率图形的水平和垂直滤波。应指出，在 DC 方式中显示格式变换可在 4×3 显示器上显示 16×9 高宽比资源，或者反之。这一处理基本上以参照视频解码器部分 120 的显示部分进行说明。表 3 给出对表 1 的各输入位流的支持基本和从属输出图形格式：

表 3
DC 支持视频格式

号和格式	基本输出格式	第二输出格式	显示时钟 (MHz)
(1) 1125I	525P	525I	27.00
(2) 1125P	525P	525I	27.00
(3) 750P	525P	525I	27.00
(4) 525P	525P	525I	27.00
(5) 525P	525P	525I	27.00
(6) 525P	525P	525I	27.00
(7) 525I	525P	525I	27.00
(8) 525I	525P	525I	27.00
(9) 525I	525P	525I	27.00

b) 解码、下行变换和下行采样

I) 概述

图 2A 为处理 MPEG-2 编码图形的典型视频系统的高级方框图。用来解码 MPEG-2 编码图形而无需后续处理、格式变换的下行变换的通用方法由 MPEG-2 标准指定。视频解码系统包括可包含可变长解码器(VLD)210 和游程解码器 212 的熵解码器(ED)110。此系统还包括逆量化器 214 和反离散余弦变换(IDCT)处理器 218。此示范系统还包括一响应由 ED110 从输入位比特流得到的控制信息而控制解

码系统的各部件的控制器 207。为处理预测图象，系统还包括一具有参考帧存储器 222 的存储器 199、加法器 230 和可带有运动矢量处理器 221 和半像素发生器 228 的运动补偿处理器 206a。

ED110 接收编码视频图象信号，倒转编码过程来产生量化频域(DCT)系数值和包括描述对应于当前被解码中的预测图形的宏块的先前被解码图象中的匹配宏块的相对位移的运动矢量的控制信息的宏块。逆量化器 214 接收量化的 DCT 变换系数和对一特定宏块重构量化的 DCT 系数。要用于一特定块的量化矩阵由 ED110 接收。

IDCT 处理器 218 将重构的 DCT 系数变换到空域中的象素值(对表示宏块的辉度或色度成分的 8×8 矩阵值的每一块，和对表示预测宏块的差分辉度或差分色度成分的 8×8 矩阵的每一块)。

如当前宏块未作预测编码，则由 IDCT 处理器 218 提供的输出矩阵值即为当前视频图象的对应宏块的象素值。如果宏块被作帧间编码，先前的视频图形帧的对应宏块即被存储在存储器 199 中供运动补偿处理器 206 应用。运动补偿处理器 206 响应运动矢量从存储器 199 接收先前解码的宏块，然后在加法器 230 中将此先前宏块加到当前 IDCT 宏块(对应于现有预测编码帧的余留成分)以产生对当前视频图象的对应象素宏块，而后被存进存储器 199 的参考帧存储器 222。

图 2A 的第一示范实施例系统还包括一包含垂直滤波器 292 和水平滤波器 294 的显示格式块 290。显示格式块 290 将被解码的高清晰度(FS)图象格式化成为在特定显示单元上显示的图象。

所述的图 2A 说明对编码图形的解码而不作下行变换。如果利用下行变换来提供较低分辨率图形，则可在 IDCT 操作之前 Po—DCT 滤波器。

图 2B 为采用这样的 DCT 滤波操作的本发明一示范实施例的下行变换系统的高级方框图，它可在 DC 方式中由本发明的示范实施

例所应用。如图 2B 中所示, 此下行变换系统包括一可变长解码器 (VLD)210、游程(R/L)解码器 212、逆量化器 214 和反离散余弦变换 (IDCT)处理器 218。此外, 此下行变换系统还包括用于对解码图形作十中取一处理的下行变换滤波器 216 和下行采样处理器 232。虽然下面是叙述对 MP@HL 编码输入的示范实施例, 而本发明可以实践于任何类似编码的高分辨率图象位流。

此下行变换系统还包括一包含运动矢量 (MV)转换器 220 的运动补偿处理器 206b、包含上行采样处理器 226 的运动块发生器 224、半像素发生器 228 和参考帧存储器 222。

图 2B 的第一示范实施例系统还包括一具有垂直可编程滤波器 (VPF) 282 和水平可编程的滤波器 (HZPF) 284 显示变换块 280。此显示变换块 280 将作下行采样的图象变换成用于在具有低于原始图象分辨率的特定显示装置上显示的图象, 并主要在关于显示变换的 d)(II)章中作详细介绍。

下行变换滤波器 216 执行频域中高分辨率(例如 Main Profile, High Level DCT)系数的低通滤波。下行采用处理器 232 以对被滤波的 Main Profile ,High Level 图形作十中取一来删除空间像素, 以产生一组能在具有较显示 MP@HL 图形所需的分辨率低的分辨率的监视器上显示的像素值。此示范性参考帧存储器 222 存储对应于至少一个具有相当于下行采样图形的分辨率的先前解码的参考帧的空间像素值。对于帧间编码, MV 转换器 220 将每一块所接收的图形的运动矢量定标得与减少的分辨率相一致, 高分辨率运动块发生器 224 接收由参考帧存储器 222 提供的低分辨率运动块, 对这些运动块作上行采样并按需要进行半像素内插来得出具有对应于经解码和滤波的差分像素块的像素配置的运动块。

应指出, 在图 1B 的下行采样系统中, 被作下行采样的图象被加以存储而不是高清晰度图象, 从而大大降低为存储参考图象所需的

存储器。

现在说明为作帧内(infra-frame)编码的本发明下行变换系统的示范实施例的运行。MP@HL 位流被 VLD210 接收并进行解码。在由 HDTV 系统所用的标题信息外, VLD210 还提供对每一块和宏块的 DCT 系数, 以及运动矢量信息。DCT 系数在 R/L 解码器 212 中作游程解码并被逆量化器 214 加以逆量化处理。

由于所接收的以 DCT 系数表示的视频图象是高分辨率图形, 本发明示范实施例在对高分辨率视频图象作十取一处理前采取对各块 DCT 系数的低通滤波。逆量化器 214 在将 DCT 系数提供给 IDCT 处理器 218 之前将它提供到依靠以预定的滤波系数值加权 DCT 系数来进行频域中的低通滤波的 DCT 滤波器 216。对本发明一示范实施例, 这种滤波操作按块为基础来对块进行。

IDCT 处理器 218 通过对滤波的 DCT 系数的反离散余弦变换来得到空间像素取样值。下行采样处理器 232 通过根据一预定的十取一比例删除空间像素取样值来降低图形样本的大小, 因此, 与为存储较高分辨率 Mp@HL 图形所需的存储器相比较, 存储较低分辨率图形将利用较小的帧存储器。

现在说明用于编码标准的预测帧的本发明下行变换系统的示范实施例的运行。在此例中, 当前所接收的图象 DCT 系数表示预测图象宏块的余留部分的 DCT 系数, 为方便起见现在将其称之为预测帧(P-frame)。在此加以说明的示范实施例中, 对一预测帧的运动矢量的水平分量被加以定标, 因为存放在存储器中的先前帧的低分辨率参考图形不具有与高分辨率预测帧(MP@HL)相同数量的像素。

参看图 2B, 由 VLD 210 提供的 MP@HL 位流的运动矢量被加给 MV 转换器 220。各运动矢量被 MV 转换器 220。每个运动矢量被定标以便对被存储在参考帧存储器 222 中的先前图象的参考帧的适当预定块进行定位。被检索块中的大小(像素值数量)小于用于编码

当前图象的对应高分辨率块的块，因此，所检索的块在这些块被总和网 230 加以组合之前被作上行采样以形成具有与由处理器 218 提供的余留块同样数量像素的预测块。

响应来自 MV 转换器 220 的控制信号此预测块被上行采样处理器 226 进行上行采样，以生成对应于原始高分辨率像素块的块，然后如果在半像素发生器中对被作上行采样的预测块被运动矢量所指定的话，那么生成半像素值以保证预定块的恰当空间排列。经上行采样和排列的预测块在总和网络 230 中被加到在此例中作为由预测块缩减分辨率的余留成分的当前的经滤波的块。所有处理均按宏块逐个进行。在对当前高分辨率宏块的运动补偿处理完成之后，相应地由下行采样处理器 232 将所重构的宏块作十中取一处理。这种处理并不降低图象的分辨率而仅只是由低分辨率滤波图象去除冗余像素。

一旦对一图象的下行采样宏块成为有效，显示变换块 280 即以分别在 VPF282 和 HZPF284 中作下行采样图象的垂直和水平分量的滤波来调整图象以便在低分辨率电视显示器上显示。

现在说明图 1A 与图 1B 的 ATV 视频解码器 121 的功能组件之间的关系。图 1B 的图形处理器 171 接收视频图形信息位流。宏块解码器 172 包括 VLD210、逆量化器 214、DCT 滤波器 216、IDCT 218、加法器 230 和运动补偿预测器 206a 和 206b。图形处理器 171 可共享 VLD210。外部存储器 130 相当于含有参考存储器 222 的 16Mb RDRAM 131~136 的存储器 199。

对于 FS 方式，带 750P 格式的 MPEG-2 流的解码为有效地利用存储器可依靠利用 96Mb RDRAM 或 48Mb RDRAM 的处理存储参考帧来进行。在 FS 方式中，带 1125I/1125P 格式的 MPEG2 流的解码利用图 1 这的存储器 130 的整个 96Mb 存储器。图 2C 表明图 1A 和 1B 中所示系统的配置，其中，在 FS 方式，具有 750P 格式的 MPEG2

流的解码利用图 1 中的存储器 130 的 48Mb 存储器进行。如图 2C 中所示, 250P 位流按照参照图 2A 所述那样被接收和解码, 在存储器中存储 1280H 象素和 720V 行。对于此例, 存在有 DCT 滤波器 216 但仅起全通滤波器的作用, 或者说不起作用。

图 2D 说明系统在 DC 方式中的操作, 将 1125I 信号变换到 525P/525I 格式。在这种情况下, 在如以上参照图 2B 所述由 DCT 滤波器 216 作低通滤波之后, 系统以 3 倍对高分辨率信号进行下行采样, 并将图形作为 640H 和 1080V 交错地存储在 48Mb 存储器中。对于这一系统, 在完成运动预测解码前运动补偿处理器以 2 倍上行采样所存储的图形(以及所接收运动矢量的转换)。还为显示转换对图形作水平和垂直滤波。

图 2E 类似地说明由 750P 到 525P/525I 格式的 DC 方式格式下行变换之间的关系。除对存储器存储的下行采样和对运动补偿的上行采样为 1 倍外, 这一变换操作均与 1125I 到 525P/525I 的变换情况相同。

II) 对下行变换的宏块预测

对于此示例性下行变换处理, 由于先前图象的参考帧在水平方向上尺寸减小, 所接收的指向这些帧的运动矢量也可按照变换比例加以转换。下面说明对水平方向中辉度块的运动转换。熟知本技术的人员如果希望的话能很容易地将以下的讨论延伸到垂直方向中的运动转换。如以 X 和 Y 表示原始图象帧中的当前宏块地址, D_x 作为水平十取一因子和 MV_x 作为原始图象帧的半象表水平运动矢量, 则原始图象帧中运动块的左上部象素的地址在半象素单元表示为 XH, 由式(1)给定:

$$(1) \quad XH = 2X + MV_x$$

对应于运动块的象素在下行采样图象中开始, 具有表示为 X^* 和 Y^* 地址可利用式(2)确定:

(2)

$$x^* = \frac{XH}{2 \cdot Dx}; y^* = y$$

式(2)的除法为带舍位的整除。

因为此示范性滤波器 216 和下行采样处理器 232 仅减小图象的水平分量, 运动矢量的垂直分量不受影响。对于色度数据, 运动矢量为原始图形中一辉度运动矢量的一半。因此, 对转换色度运动矢量的限定也可利用二方程式(1)和(2)。

运动预测由一 2 步骤处理进行: 首先, 在原始图象中像素精确性运动估算可通过在图 2A 和 2B 的上行采样处理器 226 中上行采样被作下行采样的图象帧来完成。然后半像素发生器 228 通过对最接近的像素值平均进行半像素内插。

参考图象数据被加到 IDCT 处理器 218 所得的输出数据。由于加法器 230 的输出值对应于具有多个符合高分辨率格式的像素的图象, 故能为在具有较低分辨率的显示器上显示被加以下行采样。下行采样处理器 232 中的下行采样是效于图象帧的二次采样, 但可根据转换比例加以调整。例如, 在作 3:1 下行采样的情况下, 对各输入宏块作水平下行采样的像素数为 6 或 5, 而第一作下行采样的像素并不总是输入宏块中的第一像素。

在由作下行采样的图象取得正确运动预测块后, 利用上行采样来得到高分辨率图形中的对应预测块。因此, 运动块预测中子像素的准确性是在被作下行采样的图形中合乎需要的。例如, 利用 3:1 的十取一, 为作恰当的运动预测作下行变换的图形中具有 1/3(或 1/6)的子像素准确性是希望的。除下行采样的运动块外还确定作为运动矢量所要求的第一像素的子像素。然后利用如以下描述的模数运算确定相继的子像素位置。子像素位置被表示为 X_s , 由式(3)统定:

$$(3) \quad X_s = \left(\frac{XH}{2} \right) \% (Dx)$$

式中“%”表示模数除算。

例如， X_s 的范围对 3:1 上行采样为 0、1、2，而对 2:1 上行采样为 0、1。图 3A 表明对 3:1 和 2:1 示例的子像素位置和对应的 17 个预测像素，表 4 示出图 3A 的符号表。

表 4

符号	像素
●	下行采样的像素
△	上行采样的像素
○	预测像素
□	上行采样的额外右和左像素

如前面说明的，上行采样滤波器可以是上行采样多相滤波器，而表 5 给出这些上行采样多相插值滤波器的特性。

表 5

	3: 1 上行采样	2: 1 上行采样
多相滤波器数	3	2
抽头数	3	5
水平下行采样像素最大数	9	13

下面二个表，表 6 和表 7，表明对示范的 3:1 和 2:1 上行采样多相滤波器的多相滤波器系数。

表 6: 3:1 上行采样滤波器

	相位 0	相位 1	相位 2
双精度	-0.1638231735591	0.0221080691070	0.3737642376078
	0.7900589359512	0.9557838617858	0.7900589359512
	0.3737642376078	0.0221080691070	-0.1638231735591

固定点 (9 位)	-0.1640625(-42)	0.0234375(6)	0.3750000(96)
	0.7890625(202)	0.95703125(244)	0.7890625(202)
	0.3750000(96)	0.0234375(6)	0.1640625(-42)

表 7: 2 : 1 上行采样滤波器

	相位 0	相位 1
双精度	0.0110396839260	-0.1433363887113
	0.0286886402920	0.6433363887113
	0.9211433515636	0.6433363887113
	0.0283886402920	-0.1433363887113
	0.0110396839260	0.0000000000000
固定点 (9 位)	0.01718750(3)	-0.14453125(-37)
	0.02734375(7)	0.64453125(165)
	0.92187500(236)	0.64453125(165)
	0.02734375(7)	-0.14453125(-37)
	0.01718750(3)	0.00000000(0)

在定点表述中，表 6 和表 7 的括号中的数为 9 位的 2 的补码表述，对应的双精度数在左方。取决于下行采样的参考图象帧中的运动预测块的子像素位置，采用多相内插滤波器的一个对应相位。对此示范实施例，还利用左方、右方的附加像素在原始图象帧中内插 17 个水平像素。例如在 3 : 1 的十中取一的情况下，对各输入宏块产生最大 6 个作水平下行采样的像素。但在上行采样时，利用 9 个水平像素来产生对应的运动预测块值，因为上行采样滤波器需要在边界外侧有更多的左右像素供滤波器运行。由于此示范实施例采用半像素运动估算，为得到作为最接近的二像素取样的平均值的 16 个半像素需要 17 个像素。半像素内插器进行给像素块提供半像素分辨

率的插值操作。表 8A 说明子像素位置和多相滤波器部件之间的示范性对应关系，并表明为作上行采样处理除上行采样块中的像素外还需要的左像素数。

表 8A

	子像素位置	交相	额外左像素号	座标变化
3: 1 上行采样	0	1	1	$X^{\circ} \rightarrow X^{\circ}-1$
	1	2	1	$X^{\circ} \rightarrow X^{\circ}-1$
	2	0	0	
2: 1 上行采样	0	0	2	$X^{\circ} \rightarrow X^{\circ}-2$
	1	1	2	$X^{\circ} \rightarrow X^{\circ}-2$

图 3B 总括对一输入宏块各行进行的上行采样处理。首先，在步骤 310 中，接收对被处理的输入图象帧的块的运动矢量。在步骤 312，运动矢量被转换来对应于存储器中的下行采样的参考帧。在步骤 314，利用经定标的运动矢量计算存放在存储器 130 中的参考图象块的座标。在步骤 316 确定此块的子像素点，然后在步骤 318 确定为作上行采样的初始多相滤波器值。存储的下行采样的参考帧的参考块的识别的像素由存储器 130 检取(步骤 320)。

在滤波步骤 324 第一次通过之前，可在步骤 322 将滤波器的寄存器加以初始化，对此示范实施例这包括以初始的 3 或 5 个像素值装载寄存器的步骤。然后，在滤波步骤 324 之后，在步骤 326 确定是否所有像素均处理完，这在此示范实施例中为 17 个像素。如果所有像素均已处理，上行采样块即完成。对于一示范实施例， 17×9 像素块被返回作为顶部或底部运动块。如没有处理完全部像素，在步骤 328 更新相位，检查此相位是否为 0。如此相位为 0，即为下一组像素值更新寄存器。步骤 328 的更新相位是对示范性的 3:1 上行

采样滤波器循环周期地将相位值更新到 0、1 和 2，以及对 2:1 上行采样滤波器循环周期地更新到 0 和 1。在最左像素超出图象图形边界之处时，图象图形中的第一像素值可加以重复。

对一示范实施例，可按照以下方针实现此上行采样操作。首先，可利用数个因素：1)半像素运动预测操作取二整像素的平均，并且也对相应的滤波器系数取平均来得到半像素滤波器系数；2)不管怎样的下行变换均可采用可以是等于滤波器抽头数的固定数量例如 5 的滤波器系数；3)对每一前向或后向的较低和较高块可设置 5 个并行输入端口到上行采样块，其中对各参考块每一时钟跃变均有 5 个输入像素 $LWR(0) \sim LWR(4)$ 与对应的滤波器系数相组合来提供一输出像素；和 4)与各自的像素 $LWR(0) \sim LWR(4)$ 相组合的滤波器系数 $h(0) \sim h(4)$ 的总和提供采样块的输出像素。

滤波器系数可作所需要的反演，因为乘算排序与正常的滤波器参数排序相反，并可能希望使某些系数为零。表 8B 和表 8C 分别给出对 3:1 和 2:1 上行采样滤波器的示范性参数：

表 8B

	子像素 0	子像素 1	子像素 2	子像素 3	子像素 4	子像素 5
滤波器 系数	6	-18	-42	-21	96	51
	244	223	202	149	202	223
	6	51	96	149	-42	-18
	0	0	0	-21	0	0
	0	0	0	0	0	0
参考	$X^* - 1$	$X^* - 1$	$X^* - 1$	$X^* - 1$	X^*	X^*
相位	01	00	10	01	00	10
半像素	0	1	0	1	0	1

表 8C

	子素象 0	子象素 1	子象素 2	子象素 3
滤波器系数	3 7 236 7 3	2 -15 200 86 -17	-37 165 165 -37 0	-17 86 200 -15 2
参考	X^*-2	X^*-2	X^*-1	X^*-1
相位	00	00	01	01
半像素	0	1	0	1

表 8B 和表 8C 中, X^* 为式(1)和(2)中定义的下行采样的像素位置, 由作为式(3')的式(3)再定义子像素位置 X_s :

$$(3') \quad X_s = (XH\%)(2DX)$$

对此示范性实现的色度值, XH 由 2 定标并应用式(1)、(2)和(3')。在一实施例中, 相位和半像素信息(分别被编码成 2 位和 1 位)由图 2B 的运动补偿处理器 220 和半像素发生器 228 利用。例如, 将参考块像素首先用作为 U 像素, 其次作为 V 像素, 最后作为 Y 像素。U 和 V 像素作时钟输入 40 个周期而 Y 像素作时钟输入 144 个周期。通过提供最初的 5 个像素、重复二次、一移一位数据、并重复进行直至一行结束这样来为 3:1 十中取一设置参考块。对 2:1 十中取一可采用同样方法, 不同之处是重复一次而不是两次。输入像素被加以重复是因为十取一处理跟随运动补偿和半像素发生的输出与余留值的相加。因而, 对于 3:1 的十中取一, 去除 2/3 的像素, 而对于这些像素的伪像素无关紧要。

III) 采用 DCT 系数加权的 DCT 域滤波

本发明此示范实施例包括有处理频域中的 DCT 系数的图 2A 的 DCT 滤波器 216, 它代替空域中的低通滤波器。以 DCT 域滤波替代用于 DCT 编码图形的空域滤波(如被 MPEG 或 JPEG 标准所规划的)

具有数个优点。最值得指出的是，DCT 域滤波器在计算方面更有效而且所需硬件较之用于空间像素采样值的空域滤波器的要少。例如，具有 N 个抽头的空间滤波器可对每一空间像素取样值应用多达 N 个附加的乘算和加算。这相似于 DCT 域滤波器中的仅仅一个附加乘算。

最简单的 DCT 域滤波器是高频 DCT 系数的截断。但是高频 DCT 系数的截断不会取得平滑滤波器的结果并具有例如被解码图象中接近边缘的“跳动”这样的缺点。本发明此示范实施例的 DCT 域低通滤波器由空域中的块镜像滤波器衍生。用于此块镜像滤波器的滤波系数值例如被以空域中的数值分析加以优化，然后将这些值变换成 DCT 域滤波器的系数。虽然此示范实施例表明仅水平方向中的 DCT 域滤波，而 DCT 域滤波可以在水平或垂直方向或者由组合水平和垂直滤波器来双方面进行。

IV) DCT 域滤波器系数的推导

本发明的一示范性滤波器由二个约束条件来导出：第一，滤波器对每一图象块以逐块进行为基础而不利用先前图形块的信息处理图象数据；第二，滤波器降低当滤波器处理边缘像素值时发生的块边界明显程度。

根据第一个约束，在一 MPEG 图象序列的基于 DCT 的压缩中， $N \times N$ DCT 系数产生 $N \times N$ 空间像素值。结果，本发明的此示范实施例实现一仅处理所接收图形当前块的 DCT 域滤波器。

根据第二约束，如果滤波器仅被应用于空间频率系数块，则在块边缘存在由超过边缘的不足数量填充滤波器的残余的空间像素值引起的滤波操作的跃迁。这就是说，块边缘的参数值不能被恰当地滤波，因为 N 分级滤波器仅有对 $N/2$ 分接的值，其余值均超出块的边缘。提供丢失像素值的数种方法在于：1) 重复超过边缘的一预定的恒定像素值；2) 重复与边界像素值相同的像素值；和 3) 映射块的

像素值来模拟邻接被处理块的先前和随后的像素值块。不存在有关先前或随后块的内容的先前信息时，此重复像素值的映射方法将认为是理想的方法。因此，本发明一实施例对滤波器采用此映射方法并称做“块镜象滤波器”。

下面说明实现对块的 8 输入空间像素取样值的作低通滤波水平块镜象滤波器的示范实施例。如果输入块的大小为像素取样值的 8×8 块矩阵，则可由将块镜象滤波器应用到 8 像素取样值的每一行来进行水平滤波。对本技术领域熟知人员将很显见，滤波处理可由将滤波器系数按列方向加到块矩阵来实现，或者可由对块矩阵作行滤波而后再作列滤波来完成多维滤波。

图 4 表明输入像素值 $X_0 \sim X_7$ (组 X_0) 与一采用以分接值 $h_0 \sim h_{14}$ 表示的 15 个抽头空间滤波器的供 8 输入像素用的示范镜象滤波器的滤波器抽头之间的示例对应关系。输入像素被映射到组 X_0 的左侧，被表作为 X_1 ，映射到组 X_0 的右侧，被表作为组 X_2 。滤波器的输出像素值为滤波器分接系数值与对应的像素取样值的 15 个乘积之和，图 4 说明对第一或第二输出像素值的乘算对。

下面证明空域中的块镜象滤波器等效于 DCT 域滤波器。镜象滤波与一 $2N$ 点 ($N=8$) 的循环卷积相关。

如式(4)中所示定义矢量 X' 。

$$X'(n) = X(n) + X(2N-1-n); \quad 0 \leq n \leq 2N-1 \quad (4)$$

在 $N=8$ 的情况下

$$X' = (X_0, X_1, X_2, X_3, X_4, X_5, X_6, X_7, X_7, X_6, X_5, X_4, X_3, X_2, X_1, X_0).$$

重新排列滤波器分接值 $h_0 \sim h_{14}$ 并以 h' 表明此重新排列值，

$$h' = (h_7, h_8, h_9, h_{10}, h_{11}, h_{12}, h_{13}, h_{14}, 0, h_0, h_1, h_2, h_3, h_4, h_5, h_6)$$

因此，镜象滤波的输出 $y(n)$ 即为由式(5)给出的 $x'(n)$ 和 $h'(n)$

的循环卷积。

$$(5) y(n) = x'(n) \cdot h'(n)$$

它相当于式(6)

$$(6) y(n) = \sum_{k=0}^{2N-1} x'[n-k] \cdot h'(n)$$

其中 $x'[n-k]$ 为 $x'(n)$ 的循环模和

$$x'[n] = x'(n) \quad n \geq 0$$

$$x'[n] = x'(n+2N) \quad n < 0.$$

式(5)中所示空域中的循环卷积对应于离散付里叶变换(DFT)域的标量积。如将 $Y(K)$ 定义作为 $y(n)$ 的 DFT, 则式(5)即成为 DFT 域的式(7)。

$$Y(k) = X'(k) \cdot H'(k) \quad (7)$$

式中 $X'(k)$ 和 $H'(k)$ 分别为 $x'(n)$ 和 $h'(n)$ 的 DFT。

式(4)~(7)对抽头数小于 $2N$ 的滤波器有效。另外, 滤波器限制为具有奇数接头的对称滤波器; 其中这些约束条件 $H'(k)$ 为一实数。因此, 可以 DFT 频域中的实数 $H'(k)$ 加权 $X'(u)$ 、 $X'(n)$ 的 DFT 替代空域中 $2N$ 乘法和 $2N$ 加法操作来实现滤波操作。 $X'(k)$ 的值非常紧密地与原始 N 点 $x(n)$ 的 DCT 系数相关, 因为 $x(n)$ 的 N 点 DCT 是由作为 $X(n)$ 及其镜像 $x(2N-1-n)$ 组成的接合序列的 $x'(n)$ 的 $2N$ 点 DFT 得到的。

下面以假定一具有奇数抽头 $2N-1$ 的对称滤波器来说明空间滤波器的 DFT 系数的推导 $H'(k)$, 它是 $h(n)=h(2N-2-n)$, 和相当地 $h'(n)=h'(2N-n)$ 及 $h'(N)=0$ 。如式(8)中那样定义 $H'(k)$:

$$(8) \quad H'(k) = \sum_{n=0}^{2N-1} h'(n) \cdot W_{2N}^{kn} = h'(0) + 2 \sum_{n=1}^{N-1} h'(n) \cdot \cos \frac{\pi kn}{N}$$

其中, $W_{2N}^{kn} = \exp\{-2\pi kn/(2N)\}$; and $H'(k) = H'(2N-k)$.

再对块的水平成分进行逆 DCT。

如参照式(12')所说明的, 仅变换域中的系数被供给处理算法, 操作是线性的使得均可能仅对这些系数作数学运算。用于 IDCT 的操作如由式(12')很显见的形成乘积的总和。因而, 硬件实施需要被存储在存储器如 ROM(来图示)中的已知系数, 和一组接收来自 ROM 的这些系数以及由输入转换座标的矩阵选择的系数的乘法和加法电路(未图示)。对于较先进的系统, 如果算术运算的次序被按照分布算法修正则可利用 ROM 累加器方法来由乘积求和的实现变换成位半行的实现。这种技术例如在 Stanley A.white 的 "Applications of Distributed Arithmetic to Digital Signal Processing:A Tutorial Review" (IEEE ASSP Magazine, July 1989)中有公开, 它利用计算中的对称性来降低乘积求和实现的整个门选通数。

在本发明另一实施例中, 可将 DCT 滤波器操作与逆 DCT(IDCT)操作相组合。对这样的实施例, 因为滤波和逆变换操作均为线性的, 滤波器系数可与 IDCT 的系数相组合来形成经修正的 IDCT。如本技术领域中公知的, 此修正 IDCT, 因而此组合 IDCT 和 DCT 下行变换滤波可通过类似于简单 IDCT 操作的硬件实施来进行。

C)存储器子系统

I)位流和图形数据的存储器存取和存储

如图 1B 中所示, 本发明示范实施例利用一控制向和从存储器 130 存储和读取信息的具有存储器子系统 174 的 ATV 视频解码器 121。存储器子系统 174 为视频解码操作给存储器 130 提供图形数据和位流数据, 在优选实施例中至少 2 图形或帧被用于 MdEG-2 编码视频数据的恰当解码, 存储器 130 中的一选择屏幕显示部分可用于支持 OSD 数据。存储器子系统 174 与存储器 130 间的接口可以是一提供 500Mbps 通道的 Concurrent(并行)RDRAM 接口, 并可应用三个 RAMBUS 通道来支持所需带宽。本发明一具有图形处理器 171、宏

块解码器 172 和以外部存储器 130 运行的存储器子系统 174 的实施例可采用 US 专利 No.5, 623, 311 Phillips 等的“MPEG VLDEO DECODER HAVING A HIGH BANDWIDTH MEMORY”中所描述的系统, 在此引用作为参考。图 12 为由本发明一示范实施例采用来解码 MP(a)ML MPEG-2 图形的这种具有高带宽存储器的视频解码器的高级方框图。

总的说, 如图 1A 和图 1B 所说明的, US 专利 No.5623311 描述具有单一存储器端口的单个的高带宽存储器。存储器 130 保存输入位流, 用于运动补偿处理的第一和第二参考帧, 和表示当前被解码场的图象数据。此解码器包括 1) 存储和检取位流数据的电路(图形处理器 171), 2) 以块格式为当前解码场检取参考帧数据和存储图象数据(宏块解码器 172)和为变换到光栅扫描格式检取图象数据(显示部分 173)的电路。存储器操作以为控制操作规定的被称做宏块时间 (MblkT) 的存储器访问时间周期利用单一的共用存储器端口被作时分多路化。

表 10 概括为支持多重格式的 FS 和 DC 组构的图形存储需求:

表 10

格式	像素 (H)	宏块 (H)	像素 (V)	宏块 (V)	每一图形的位	存储 (3 图形)
1920×1088FS	1920	120	1088	68	25, 067, 520,	75, 202, 560
128×720FS	1280	80	720	45	11, 059, 200,	33, 177, 600
1920×1800DC	640	40	1088	68	8, 355, 840	25, 067, 520
1280×720DC	640	40	720	45	5, 529, 600	16, 588, 800
704×480	704	44	480	30	4, 055, 040	12, 165, 120
640×480	640	40	480	30	3, 686, 400	12, 165, 120

对 DC 方式, 1920×1080 图形被作水平 3 倍的缩减, 形成 640×1080 的图形; 1280×720 的图形作水平 2 倍的缩减, 形成 640×720

图形。在 PC 方式中 704×480 和 640×480 图形不加缩减。

对位流数据,按照 MPEG-2 标准,最低需要的缓存器容量(即 VBV 缓存器尺寸)和因而存储器的存储容量为 7995392 位。在本发明的优选实施例中,位流存储容量可为同步和接口处理功能增加到 10737258 位。

利用对低分辨率的每像素 4 位、每像素 2 位或对高分辨率每 2 象来 32 位可实现可选的 OSD 功能。对全屏幕 OSD,表 11 给出示范性存储需求:

表 11

分辨率	1920×1080	1280×720	704×480
4 位/像素	8, 294, 400	3, 686, 400	1, 351, 680
2 位/像素	4, 147, 200	1, 843, 200	675, 840
32 位/2 像素 (YUYV) 格式	33, 177, 600	14, 745, 600	5, 406, 720 (无位映射)

如 US 专利 No.5623311 中所述,前面说明的存储器存储容量需求对以 FS 格式的附加的三个 16Mb RDRAM131、132、133 扩展的 DC 格式可利用能在 3 个 RAMBUS 通道上以三个 16Mb RDRAM 134、135、136(图 1A)扩展的组构来实现。

为适应存储器 130 中多重 DC 和 FS 格式化图形还需要支持根据对应的图形显示定时的各个别解码操作。例如,渐进图形以二倍交错的图形的速率出现(60 或 59.94Hz 渐进对 30 或 29.97Hz 交错),结果渐进图形转交错图形快速地被解码(每秒 60 或 59.94 帧渐进对每秒 30 或 29.97 帧交错)。因而解码速率被对格式的显示速率约束,而如果应用不太严格的每秒 59.97 或 29.97 帧的解码速率而不是每秒 60 或 30 帧,则因变换就可能每 1001 帧中丢失 1 帧。为方便起见,对一格式的解码操作可以被定义作为能完成对一宏块的全部解码操作的期间的“宏块时间(MblkT)”的单位加以量度(每一宏块解码的

时钟周期)。利用这一期间作为量度,如式(14)中所定义的,就可在规律地发生的 Mb1kI 期间而规定控制信号和存储器访问操作。

$$\text{Mb1kT}(\text{时钟周期/宏块}) = \text{系统时钟速率}(\text{时钟周期/秒}) / \text{帧速率}(\text{帧/秒}) / \text{图形大小}(\text{宏块/帧}) \quad (14)$$

此外,对于交错图形的图形解码不可利用消隐间隔,增加对时间期间的 8 行裕量来计及同时解码 8 行(交错的)和同时解码 16 行(渐进的)。因此,可对 Mb1kT 加一调整因子(AdjFact),如式(15)和(16)中给出的:

$$(15) \text{ AdjFact}(\text{交错}) = (\text{全部行} - \text{垂直消隐行} - 8) / \text{全部行}$$

$$(16) \text{ AdjFact}(\text{渐进}) = (\text{全部行} - 16) / \text{全部行}$$

表 12 列举对每一所支持格式的 Mb1kT:

表 12

	Mb1k/每帧	帧 时 间 (msec)	Mb1kT (clks)	调整因子	有效解码 Mb1kT
1920x1080	8160	33.33	255.3	0.9729	248.4
1280x720	3600	16.67	289.4	0.9787	283.2
704x480P	1320	16.67	789.1	0.9695	765.1
704x480I	1320	33.33	1578	0.9419	1486.6
640x480P	1200	16.67	868	0.9695	841.6
640x480I	1200	33.33	1736	0.9419	1635.3

在本发明一示范实施例中,对所有格式均采用 241 时钟的 Mb1kT 以适应包含一很小裕量的最快解码时间的需求。对这样选择的 Mb1kT 期间,较慢格式的解码包括有其中不发生解码动作的期间,从而,可利用一计数器来反映此带有被产生来停止在所选择的 Mb1kT 间隔中的解码的滞止的线性解码速率。

参看图 1B,存储器子系统 174 可提供对宏块解码器 172 和显示

部分 173 的内部图形数据接口。解码宏块接口接收经解码的宏块数据和将其按照为此给定格式定义的存储器映象存储在存储器 130 的正确的存储器地址位置中。存储器地址可由宏块号和图形号推导出。宏块可按系统时钟速率在三个通道上, 每 16 Mb 存储器装置一通道(图 1A 的 131~136)作为宏块行接收。各存储器装置对每一图形可具有二部分, 每一部分采用一高和低地址。对于交错图形, 一部分承载 Field 0 数据而另一部分承载 Field 1 数据, 对于渐进图形, 高和低部分双方被作为单一部分处理, 承载整个帧的数据。每一宏块被加以解码和对每一图形进行存储, 除非是一整个场时间期间暂停解码的 3:2 下拉方式中, 具有每秒 24 帧的帧速率的信号被按显示一帧二次和下一帧三次这样每秒 60 帧(或场)地加以显示。

一参考宏块接口将被存储的先前解码的图形数据加给宏块解码器 172 作运动补偿。此接口可提供对应于双向预测(B)编码、单向预测(P)编码或内部(I)编码的二个、一个或不提供宏块。各参考块利用二通道提供, 每一通道含 1/2 宏块。对于 FS 方式, 各被存储的参考半宏块可以为能以半像素分辨率内插的 $17 \times 9(Y)$ 、 $9 \times 5(C_R)$ 和 $9 \times 5(C_B)$ 。对采用系数 3 的 DC 方式, 各接收的半宏块为 $10 \times 6(Y)$ 、 $6 \times 4(C_R)$ 和 $6 \times 4(C_B)$ 。对于采用十取一系数为 2 的 DC 方式, 各被检取的半宏块为使得能作上行采样和半像素分辨率的 $14 \times 9(Y)$ 、 $10 \times 5(C_R)$ 和 $10 \times 5(C_B)$ 。

一显示接口将被检取的像素数据供给在单一通道上多路传输 Y、CR 和 CB 像素数据的显示部分。可设置二显示通道支持由/到交错的到/由渐进的格式的变换。在 DC 方式中, 第一通道可同时提供最多 4 行交错的或渐进的数据, 第二通道可提供最多 4 行的交错数据, 而在 FS 方式中仅利用第一通道来支持单一行数据。

如先前所述, MPEG-2 编码视频图形可借助应用存储器中存储的最多 3 个图形被加以解码, 此存储器使图形信息可被存储在每一

区保持一场图形信息的六个区中。图 13A 和 13B 说明涉及当输入视频为场格式时的读取、存储和显示图形信息的处理和流程时间。图 14A 和 14B 说明涉及当输入视频为帧格式时的读取、存储和显示图形信息的处理和流程时间。图 15A 和 15B 说明涉及当输入视频为渐进序列和显示为交错序列时的读取、存储和显示图形信息的处理和流程时间。图 16A 和 16B 说明涉及当输入视频为渐进序列和显示为渐进序列时的读取、存储和显示图形信息的处理和流程时间。在图 14A 和 14B 及 15A 和 15B 中，标号“A”指明在垂直消隐期间解码被悬置的间隔。

(II) 对所支持格式的存储器映象组构

如前面说明的，MPEG-2 编码视频可利用存储在图 1A 的存储器 130 中的 3 个图形加以解码，根据图形格式和是否利用下行变换可采用不同的存储器容量。因而，可利用外存储器映射在参考宏块存取方面有效地利用可用的存储。也如前面所述，对本发明一示范实施例 DC 方式的存储器容量为 48 Mbit 而对 FS 方式可扩展到 96 Mbit。而且，外部存储器映射还可使 RDRAMS 适应于 2K 或 1K 页面大小。

对本发明一示范实施例，存储器子系统 174 如 US 专利 No.5, 623, 311 中所指明的采用存储器映射。图 17A 为一存储器映象图，说明在 FS 方式中位流 1730 和图象数据场 1710、1712、1714、1716、1718 和 1720 存储进 RDRAM 存储器的状态。图 17B 为一存储器映象图，表明当一示范型式的 1920×1088 FS 图象利用带 2K 页面大小的 96Mbit RDRAM 解码时一行图象宏块如何映射进存储器行。

在 FS 方式中，RDRAM 包括 96Mbit 存储器。位流 1730 被配置在作为对 MP(a)HL 图象的最大 VBV 缓存器大小的存储器的高地址范围的存储器区域。每一图象数据场被配置得如所示，其中 X 和 Y 的值取决于被进行解码的具体 MP(a)HL 图象中每行的像素和每场的

行数。表 13 中提供用于 1920I 图象的这些值，对于更小的图象，各场缓存器部分将低于被完全应用的值。

表 13

	2K 页	1K 页
每行 8 字节	256	128
总行数	2048	4096
X	272	544
Y_{PICTMAX}	239	119
Y_{VBV}	0	0
Y_{VBVMAX}	255	127
X_{VBV}	1828	3656
X_{VBVMAX}	2047	4095

图 18A 说明用于采用 48Mbit RDRAM 存储器的 DC 格式的通用存储器映象。图 18B 为一存储器映象图，表明当一示范型式的 1920 × 1088DC 图象被以 2 倍水平十取一和利用 48Mbit RDRAM 和 2K 页面大小进行解码时一行图象宏块如果映射进存储器块。图 18A 的存储器映象利用对 525I 和 525P 图象的表 14A 中给出的参数加以说明。

表 14A

	2k 页	1k 页
每行 8 字节	256	128
总行数	1024	2048
X	131	272
Y_{PICTMAX}	191	95
Y_{VBV}	192	96
Y_{VBVMAX}	255	127
X_{VBV}	0	0

X _{VBVMAX}	879	1759
---------------------	-----	------

对 1280×720 图象的情况，这种图象在 FS 方式中可用 48 Mbit RDRAM 存储。但在 FS 方式中，存储器存储处理可被修正来适应存储的图形利用 2K 页面大小的 48Mbit RDRAM。图 19A 说明这一情况下采用 48Mbit RDRAM 存储器对 FS 模式的通用存储器映象，图 19B 说明这种情况下对半宏块行的布置。

表 14B

每图形	2k 页
每行 8 字节	240
总行数	135
通道	3
半—宏块行	2
图形	3
VBV	
每行 8 字节	256
行	208
通道	3

US 专利 No.5, 623, 311 中叙述的存储器映射采用每一宏块行固定的 4 个 RDRAM 行来存储 MP(a)HL 解码图形。但此示范实施例可以并行 RDRAM 为基础，其中二存储块可能具有同一装置重叠请求，这与重叠请求仅能发生不同装置的基本 RDRAM 相反。对此优选实施例，同一宏块行存储块在相同场缓存器中被作交错。例如，利用来存储一图形的 RDRAM 行数随 1K/2K 页面大小和水平像素数而定是可变的。一种方法可为最大图形配置存储器，而较小可被容纳在此配置中但不完全利用存储器空间。

此示范实施例可利用每一宏块行 3 RDRAM 行来存储 MP@HL 解码图形，这种映射表示在图 19A 和 19B 中。但是，本发明可采用

利用每一宏块行的可变 RDRAM 行数来存储 MP@HL 和 MP@ML 图形。如所示, 这一映射在存储块 A 与存储块 B 的存储器行之间作宏块交错。如所参考的专利中所说明的, 这使得跨越二个或更多存储器行的宏块能迅速地由对存储器 130 不同的存储器块发出重叠请求的存储器子系统 174 进行访问。这一存储器映射应用于 FS 方式。在应用时, 这种存储器 130 的映射以对存储器映射处理的修正来支持仅利用 48 Mbit RDRAM 的 1280×720 视频信号的全规范解码。此修正利用 3 RDRAM 行来保持单一宏块行。本发明此示范实施例中, 存储块交错和显示起始行计数器被复位来支持每宏块 3 RDRAM 行。

对下行变换, 作下行采样的宏块被汇合成一供存储的单一宏块。随后参照图 6A 和 6B 说明 DC 方式的下行采样处理。图 6C 说明对作 2 倍水平下行变换时将二宏块汇合成一单个宏块以便存储在存储器 130 中的处理。图 6D 说明对作 2 位水平下行变换时将 3 宏块汇合成一单个宏块以存储在存储器 130 中的处理。

d) 显示部分的下行采样和显示变换

(I) 低分辨率格式的下行采样

由图 2B 的下行采样处理 232 进行下行采样来减少作下行变换图象中的像素数。图 6A 表明为作 3:1 十中取一的 4:2:0 信号格式的输入和作十取一的输出像素。图 6B 表明 4:2:0 色度类型的 2:1 十取一时的输入和作十取一的输出像素。表 16 给出图 6A 和 6B 的辉度和色度像素的图例标识。图 6A 和 6B 的下行变换前、后像素位置分别为交错的(3:1 十中取一)和渐进的(2:1 十中取一)情况。

表 16

符号	像素
+	十取一前的辉度
X	十取一前的色度
.	十取一后的辉度

Δ	十取一后的色度
----------	---------

对交错图象的下行采样，这可以由一 1920×1080 象素图象到一 640×1080 象素水平压缩图象的变换，在水平轴上每 3 个象素去掉 2 个。对示范性的 3:1 十中取一，在下行变换处理后存在有 3 种不同宏块型式。图 6A 中，原始宏块被标以 MB0、MB1、MB2。MB0 中作下行采样的象素于原始宏块的第一个象素开始，而在 MB1 和 MB2 中下行采样的象素从第三和第二象素开始。而且各宏块中作下行采样的象素数是不同的。MB0 中，水平有 6 个下行采样的象素，但在 MB1 和 MB2 中为 5 个象素。此三种 MB 型式重复，因此要应用模 3 算法。表 11 总括对各输入宏块 MB0、MB1、MB2 的下行采样象素数量和偏移：

表 11

	MB0	MB1	MB2
下行采样辉度象素号	6	5	5
下行采样色度象素号	3	3	2
第一下行采样的辉度象素的位移	0	2	1
第一下行采样的色度象素的位移	0	1	2

对渐进格式图象的下行采样，每隔一样本对辉度信号进行子采样。对辉度信号，被作下行采样的象素具有在原始图象中象素位置之下 $1/2$ 象素的空间位置。

(II) 显示变换

图 1B 的 ATV 解码器 121 的显示部分 173 被用于对所存储的图形信息（被解码的图形信息）为一特定显示格式进行格式化。图 11A 为说明本发明一示范实施例用的 ATV 视频解码器 121 显示部分的高级方框图。

参看图 11A，二输出视频信号得到支持，第一输出信号 VID out1

支持任一所选择的视频格式，第二输出信号 VID out2 只支持 525 I (CCIR-601)。各输出信号分别由处理部件 1101 和 1102 处理，它们进行水平、垂直上行采样/下行采样。这种配量在为显示高宽比与输入图形的高宽比不匹配时可以看作是理想的。一可选的屏幕显示 (OSD) 部分 1104 可用来为支持的输出信号 VID out1 和 VID out2 之一提供屏幕显示信息以形成显示信号 V out1 或 Vout2。除输出控制器 1126 和 1128 的输出信号 V out1 或 out2 外，所有处理均以内部时钟速率进行，前者以像素时钟速率执行。对此优选实施例，此像素时钟速率可以为辉度像素速率或者为辉度像素率的二倍。

因为处理部件 1101 和 1102 的显示组件类似地操作，所以只说明显示处理部件 1101 的运行。参看显示处理组件 1101，从存储器 130 (图 1A 中所示) 以光栅顺序向垂直处理块 282 (图 2B 中所示) 提供 4 行像素数据。各行每次提供作 C_R 、Y、 C_B 、Y 数据 32 位。然后垂直处理块 282 对此 4 行进行滤波降为 1 行并将此经滤波的数据以 32 位 C_R Y C_B Y 格式提供给水平处理块 284 (也如图 2B 中所示)。水平处理块 284 为所选择的光栅格式提供正确数量的像素作为经过格式化的像素数据。因而，输入水平处理块 284 的滤波数据速率并不一定等于输出数据速率。在上行采样情况中，输入数据速率将低于输出数据速率。在下行采样情况中，输入数据速率将高于输出数据速率。经格式化的像素数据可由可选的背景处理块 1110 插入背景信息。

如熟悉本技术人员所公知的，显示部分 173 的各部件受一控制器 1150 的控制，它由读出/写到微处理机接口的参数设定。此控制器产生信号 CNTRL，为协调和执行恰当的电路操作、装载和传送像素、和信号处理，这种控制是必须的。

来自此水平处理块 284 的数据、来自第二水平处理块 284a 的数据、和 HD 分路 1122 上的 HD (未作处理的) 视频数据均被加给多

路器 118，它在处理器的控制下（未图示）选择一个被提供给将视频数据流与来自 OSD 处理器 1104 的可选的 OSD 数据加以组合成混合输出视频数据的混合器 116 的视频数据流。此混合视频输出数据然原被提供到 MUX 1120 和 1124。

对于第一组处理部件 1101，MUX1120 可从混合输出视频数据、加在 HD 分路 1122 上的 HD 数据或来自背景插入块 1110 的数据选择。被选择的数据提供给也接收像素时钟的输出控制处理器 1126。而后输出控制处理器 1126 根据所希望的输出方式将数据时钟速率从内部处理域改变到像素时钟速率。

对第二处理部件 1102，MUX1124 可从混合输出视频数据或来自背景插入块 1110a 的数据选择。被选择的数据加给也接收像素时钟的输出控制处理器 1128。然后输出控制处理器 1128 根据所希望的输出方式将数据时钟速率从内部处理域改变到像素时钟速率。MUX1132 供给或者是所接收的 MUX1124 的被选择的数据（601 Data Out）或者来自 OSD 处理器 1104 的选择 OSD 数据。

光栅生成和控制处理器 1130 也接收像素时钟并包括有生成光栅间隔的计数器（未图示），使得控制命令能被逐行地发送到显示控制处理器 1140。显示控制处理器 1140 协调与外部存储器 130 的定时和启动与光栅行同步地逐行进行对各处理链 1101 和 1102 的处理。处理器 1130 还生成水平、垂直和场同步信号（H、V 和 F）。

图 11B~11D 将图 11A 中所示的视频解码器 121 的显示部分 173 所提供的输出模式相关到图 1A 的有效块。图 11B 说明一 27MHz Dual（双）输出模式，其视频数据为 525P 或 525I，其中第一处理器 1101（图 11A 中所示）将 525P 视频数据加到 27MHz DAC 143 同时将 525I 数据（601 Data Out）加给 NTSC 解码器 152。图 11C 说明在 27MHz 单一输出方式中仅 525I 数据（601 Data Out）被提供统 NTSC 编码器 152。图 11D 说明一 74MHz 127MHz 模式，其中输出方式与输入

格式相匹配且视频数据根据输出格式被加给或者 27MHz DAC 143 或者 74MHz DAC 141。74MHz DAC 用于 1920×1088 和 1080×720 图形, 27MHz DAC 被用于所有其他输出格式。

利用作下行采样图象帧的显示变换来以特定格式显示图象。如前面指出的, 图 2B 中所示的显示变换块 280 包括有为在较低分辨率屏幕上显示调整作下行变换和下行采样的图象的垂直处理块 (CPF) 282 和水平处理块 (HZPF) 284。

在此示范实施例中 VPF282 为一被实现成为一可编程多相垂直滤波器的垂直行内插处理器, 在此示范实施例中 HZPF 284 为一也被实现成一可编程水平多相滤波器的水平行内插处理器。这些滤波器均是可加以编程的, 均是为对许多显示格式作适应显示变换的设计选择方案。

如图 2B 中所示, 4 行下行采样的数据以光栅顺序输入 VPF282。对于此示范实施例, 这种数据包括每次 32 位进入 VPF 282 的辉度 (Y) 和色度 (C_R 和 C_B) 像素对。VPF282 将此 4 行数据进行滤波成为 1 行并将此行作为各自含有 YC_R YC_B 式的辉度和色度数据传送给 HZPF 284, 然后 HZPF 284 生成为符合所希望光栅格式的正确数量的像素。

图 7A 为说明一适用作为本发明一实施例的 VPF 282 的示范滤波器的高级方框图。下面说明 VPF282 处理多对输入像素 (每对包括有 2 辉度像素 Y 和一色度 C_R 或 C_B 像素) 以产生一对输出像素。这有利于 4: 2: 0 格式的处理, 因为彩色像素能方便地与其对应的辉度像素相关联。但熟悉本技术的人士会理解到仅辉度像素或仅色度像素可作如此处理。

参看图 7A, VPF282 包括: VPF 控制器 702; 包括辉度像素 MUX (LP MUX) 706、708、710 和 712 及色度 MUX MUX (CP MUX) 714、716、718 和 720 的第一多路器网; 包含辉度滤波器 MUX (LF MUX)

726、728、730 和 732 及色度滤波器 MUX (CF MUX) 734、736、738 和 740 的第二多路网；辉度系数 RAM 704；色度系数 RAM 724；辉度系数乘法器 702、744、746 和 748；色度系数乘法器 750、752、754 和 756；辉度加法器 760、762 和 764；色度加法器 766、768 和 770；合入和削除处理器 772 和 776；多路分配/寄存器 774 和 778；和 Output Register 780。

现在介绍 VPF 282 的运行。垂直再采样利用 2 个 4 抽头多相滤波器来完成，1 个用于辉度象素和一个用于色度象素。以下仅详述对辉度象素滤波器操作，因为对色度象素的操作相似，向指出它们发生时在通路上的差异。对此优选实施例辉度象素的垂直滤波可利用此 4 抽头多相滤波器中的最多 8 个相位，而色度象素的滤波可利用此抽头多相滤波器中最多 16 个相位。在一场或帧开始时，VPF 控制器 702 复位垂直多相滤波器，给第一和第二多路器网提供控制定时，为多相滤波器相位由辉度系数 RAM、色度系数 RAM 724 选择系数组，并包括有一对在被处理时的场或帧的各行进行计数的计数器。

VPF 控制器 702 在协调 MUX 网与多相滤波器的操作之外还以跟踪被解码图形中垂直位置的整数和分数部分来监视显示行。此整数部分指明应存取哪些行，分数部分指明应采用哪一滤波器相位。此外，在计算分数部分时采用模 N 算法使得能应用低于 16 的相位，这对于精确的下行采样比例如 (9 比 5) 可以是有效的。此分数部分总是被作舍位到应用中的模 N 相位之一。

如图 7A 中所示，来自 4 图象行的辉度和色度象素对被分离成为色度通道和辉度通道。辉度通路中的 16 位象素对数据可进一步由 LP MUX 706、708、710 和 712 作多路化成为 8 位偶数 (Y—偶数) 和 8 位奇数 (Y—奇数) 格式，而色度通道中的 16 位象素对由 CP MUX 714、716、718 和 720 多路化成为 8 位 C_R 和 8 位 C_B 格式。辉度滤

波器 MUX706、708、710 和 712 被用来重复被解码图象边界处顶部一行和底部一行的象素值以使多相滤波器操作中滤波器象素边缘能重叠。

对应于辉度象素信息和色度象素信息的 4 行的象素对然后通经各自的多相滤波器。由 VPF 控制器 702 根据被编程的上行或下行采样因子选择为对一滤波器相位加权象素值而被乘法器 742、744、746 和 748 所用的系数。在加法器 760、762 和 764 中组合被加权的辉度象素信息之后，将此值施加到提供 8 位值的舍入和省略处理器 772（因为系数乘算要以较高精度进行）。DEMUX 寄存器 774 接收对应于被作插值的 8 位偶数（Y—偶数）辉度值的第一 8 位值和对应于被作插值的 8 位奇数（Y—奇数）值的第二 8 位值和提供一 16 位的经垂直滤波的辉度象素对。寄存器 780 在辉度和色度通道中收集和提供经垂直滤波的象素，并将它们作为含有辉度和色度象素对的经垂直滤波的 32 位值提供。

图 7B 表明行的系数与象素采样踞离之间的空间关系。对于辉度和色度多相滤波通道的系数各自具有被分配到每一系数组的 40 位，而对每一相位具有一系数组。这些系数被认为是分母为 512 的分数。此系数被自左向右地置于 40 位的字中，C0 至 C3。C0 和 C3 为带符号的 10 位 2 的补码值，而 C1 和 C2 为具有给定范围例如 -256~767 的 10 位，它们各自随后被变换到 11 位的 2 的补码值。

图 7A 包括的选的辉度系数调整 782 和色度系数调整 784。这些系数调整 782 和 784 被用来对 C1 和 C2 推导 11 位的 2 的补数。如果位 8 和 9（最高位）两者均为 1，此 11 位数的符号为 1（负数），否则此值为正。

图 8A 为说明适用于作为本发明一实施例的 HZPF 284 的示范滤波器的高级方框图。HZPF 284 从 VPD 282 接收可为 32 数据的辉度和色度象素信息对。此 HZPF 284 包括：HZPF 控制器 802 C_R 锁存

器 804; C_B 锁存器 806; Y 锁存器 808; 选择 MUX 810, 水平滤波器系数 RAM 812, 乘法网 814; 加法网 816; 舍入和省略处理器 818; DEMUX 寄存器 820 和输出寄存器 822。

水平再采样由 8 插头、8 相位的多相滤波器完成。显示像素的发生由 HZPF 控制器 802 以跟踪被解码和作下行采样的图形中水平位置的整数和分数部分加以配合。整数部分指明要取用哪些像素和分数部分指明应采用哪一滤波器相位。在计算分数部分时利用模 N 算法可使得能应用小于 N 的相位。例如, 如果应用象 9 比 5 这样的精确的下行采样比时这可能是有用的。如果此下行采样比例不能表示为一简单分数, 则可将此分数部分舍位到 N 相位之一。本发明示范实施例的 HZPF 284 对像素对进行滤波, 并利用在偶数像素边缘上的校准来促进 4: 2: 0 格式化图形的处理和使得 C_R 和 C_B 像素(彩色像素)与对应的 Y 像素结合一齐。

现在参照图 8A 说明 HZPF 284 的运行。在一水平行的起始 HZPF 控制器 802 复位水平多相滤波器, 对第一和第二路器网提供控制定时, 对每一多相滤波器相位为 C_R 、 C_B 和 Y 滤波器系数从水平系数 RAM 812 选择系数组, 选择用于处理的各组 C_R 、 C_B 、和 Y 值。另外, 当水平位置接近行的左或右侧时, HZPF 控制器迫使边缘像素值被加以重复或被设到 0 供 8 插头多相滤波器应用。由这种简化所造成的图象中的任何失真通常都隐匿在被显示图象的过扫描部分。

由 VPF 282 接收的像素数据被分解成 Y、 C_R 和 C_B 值, 这些值被各个地锁存进 C_R 锁存器 804、 C_B 锁存器 806、和 Y 锁存器 808。然后 HZPF 控制器 802 采样适当的信号 Y、 C_R 、 C_B 到 MUX 810。在此示范实施例中, 具有更多的应用 Y 辉度锁存器 808 中的附加锁存器的 Y 值。同时, HZPF 控制器 802 根据由对水平滤波器系数 RAM 812 的控制信号编程的上行采样或下行采样值为滤波器相位和为或 C_R 或 C_B 或 Y 值选择适当的滤波器系数。

水平滤波器系数 RAM 812 然后将系数输出到乘法网 814 各部件以与输入象素值相乘产生加权象素值，并在加法网 816 中将加权象表值进行组合以产生经水平滤波的 C_R 、 C_B 或 Y 值。

在加法网 816 中组合加权象素值后，经水平滤波的象素值被应用于提供 8 位值的舍入和省略处理器（因为系数乘法是以较高精度进行的）。DEMUX 寄存器 820 接收一系列对应于 C_R 值的 8 位值，8 位偶数（Y 偶数）Y 值，8 位 C_B 值，最后对应于 8 位奇数（Y 奇数）Y 值的 8 位值，DEMUX 寄存器 820 将此值作多路处理成一具有 32 位值的经水平滤波的辉度和色度象素对（Y 偶数、 C_R 、Y 奇数、 C_B ）。寄存器 822 存储和提供象素对作为经垂直和水平滤波的 32 位象素辉度和色度象素对。

图 8B 说明存储在水平滤波器系数 RAM 812 中和用于多相滤波器中的系数与对水平行作下行采样图象的象素采样值之间的空间关系。对此示范实施例的系数被由左至右地置于一 64 位字中，C0 到 C7。系数 C0、C1、C6 和 C7 为具符号位的 7 位 2 的补码值，C2 和 C5 为具符号位的 8 位 2 的补码，C3 和 C4 为表示范围-256~767 的带符号的 10 位 2 的补码值。对 C3 和 C4 的 11 位 2 的补码值利用调整来推导。如果位 8 和位 9（最高位）为 1，则 11 位值的符号为 1（负数），否则此值为 0（正数）。所有系数均可作为具有分母 512 的分数。

表 12 列举对进行所指定格式变换的本发明的示范实施例的用于 VPF 282 和 HZPF 284 的系数：

表 12

用于 750P 到 525P 或 750P 到 525I 的 4 抽头 2 相位辉度垂直滤波器的系数

	抽头 0	抽头 1	抽头 2	抽头 3
相位 0	103	306	103	0

相位 1	10	246	246	10
------	----	-----	-----	----

用于 750P 到 525P 或 750P 到 525I 的 4 抽头 4 相位色度垂直滤波器的系数

	抽头 0	抽头 1	抽头 2	抽头 3
相位 0	25	462	25	0
相位 1	-33	424	145	-24
相位 2	-40	296	296	-40
相位 3	-24	145	424	-33

用于 750P 到 525I 的 4 抽头 2 相位辉度垂直滤波器的系数

	抽头 0	抽头 1	抽头 2	抽头 3
相位 0	145	222	145	0
相位 1	84	172	172	84

用于 750P 到 525I 的 4 抽头 4 相位色度垂直滤波器的系数

	抽头 0	抽头 1	抽头 2	抽头 3
相位 0	57	398	57	0
相位 1	-6	382	166	-30
相位 2	-29	285	285	-29
相位 3	-30	166	382	-6

用于 1125I 到 525P 的 4 抽头 8 相位辉度垂直滤波器的系数

	抽头 0	抽头 1	抽头 2	抽头 3
相位 0	20	472	20	0
相位 1	-20	425	70	37
相位 2	-52	472	162	-69
相位 3	-62	397	238	-61

相位 4	-63	319	319	-63
相位 5	-61	238	397	-62
相位 6	-69	161	472	-52
相位 7	37	70	425	-20

用于 1125I 到 525P 的 4 抽头 16 相位色度垂直滤波器的系数

	抽头 0	抽头 1	抽头 2	抽头 3
相位 0	29	454	29	0
相位 1	13	455	49	-5
相位 2	0	445	73	-6
相位 3	-9	428	101	-8
相位 4	-15	404	132	-9
相位 5	-18	376	165	-11
相位 6	-20	345	201	-14
相位 7	-19	310	237	-16
相位 8	-18	274	274	-18
相位 9	-16	237	310	-19
相位 10	-14	201	345	-20
相位 11	-11	165	376	-18
相位 12	-9	132	404	-15
相位 13	-8	101	428	-9
相位 14	-6	73	445	0
相位 15	-5	49	455	13

在此显示变换系统的示范实施例中，部分由 DCT 域滤波器 216 和下行采样处理器 230 执行的水平变换如图 2B 中所示。不管从 1125I 还是从 750P 变换，这些均提供同样数量的水平像素（640）。相应地，HZPF 284 对这些信号作上行采样以提供每行 720 有效像素和传送未修改的 525P 或 525I 信号，作为具有如以上表 1 和 2 中阵列的每行 720

有效像素的这些信号，水平滤波器系数值对于变换到 480P/480I/525P/525I 不作改变。这些水平滤波器系数给出在表 13 中：

表 13

水平滤波器的系数

	抽头 0	抽头 1	抽头 2	抽头 3	抽头 4	抽头 5	抽头 6	抽头 7
相位 0	-8	13	-17	536	-17	13	-8	0
相位 1	-13	28	-62	503	48	-9	0	17
相位 2	-14	37	-90	477	134	-37	10	-5
相位 3	-13	38	-96	406	226	-64	22	-7
相位 4	-10	31	-85	320	320	-85	31	-10
相位 5	-7	22	-64	226	406	-96	38	-13
相位 6	-5	10	-37	134	477	-90	37	-14
相位 7	17	0	-9	48	503	-62	28	-13

此外，HZPF 284 的可编程容量是针对的非线性水平扫描。图 9A 说明可被用于本发明的再采样比例图。如图示，HZPF 284 的再采样比可沿水平扫描行日变化并能作分段线性型式改变。在图 9A 的示范配量中，扫描行的起始时，再采样比线性增加（或减少）直至在此扫描线上的第一点，这里再采样比在到达再采样比线性减少（或增加）的第二点之前保持不变。参看图 9A， $h_{\text{初始再采样比}}$ 为一图形的初始再采样比， $h_{\text{在采样比变化}}$ 是再采样比中每一像素的第一变化， $-h_{\text{再重样比变化}}$ 为此再采样比中每一像素的第二变化，和 $h_{\text{再采样比保持列}}$ 及 $h_{\text{再采样比反转列}}$ 为其中再采样比保持不变的显示列像素点。值显示_宽为此图形行的最后一像素（列）。

图 9A 和 9C 表明为将 4:3 图形映射到 16:9 显示器上的比例图。此比例以输入值对输出值定义，所以 4/3 为 4 到 3 的下行采样

和 $1/3$ 为 1 到 3 的上行采样。图 9B 和 9C 中所示比例图将具有 720 有效像素的输入图形图象映射到具有 720 有效像素的显示。例如，图 9B 中 $4:3$ 高宽比显示到 16×9 高宽比显示的映射采用 $4/3$ 下行采样，但为装满显示器的全部取样要求沿水平行作 $1/1$ 平均。因而，图 9B 的图形在显示像素 240 与 480 间的中心具有正确的高宽比，而在侧边的值为填充图象被作上行采样。图 9D 和 9C 说明用于由 16×9 显示图象恢复到 $4:3$ 显示的图形，它是图 9B 和 9C 中所示图形的选量。

采用按照本发明示范实施例的再采样比图形的效果可在图 10 中作用形观察。具有 16×9 或 4×3 高宽比的视频传送格式可作 16×9 或 4×3 显示，但原始视频图形可被调整来适应进显示区域。从而，原始视频图形可被作完整、变位、压缩、或可变扩大/缩小地表示。

这里虽然表示和说明了示范实施例，但将会理解，这样的实施例仅是作为示例提供的。对熟悉本技术的人生说将可作许多变型、修改、和替换而不背离本发明的精神实质。因而，所期望的是所列权利客求概括所有处于本发明范畴之由的这类变体。

说明书附图

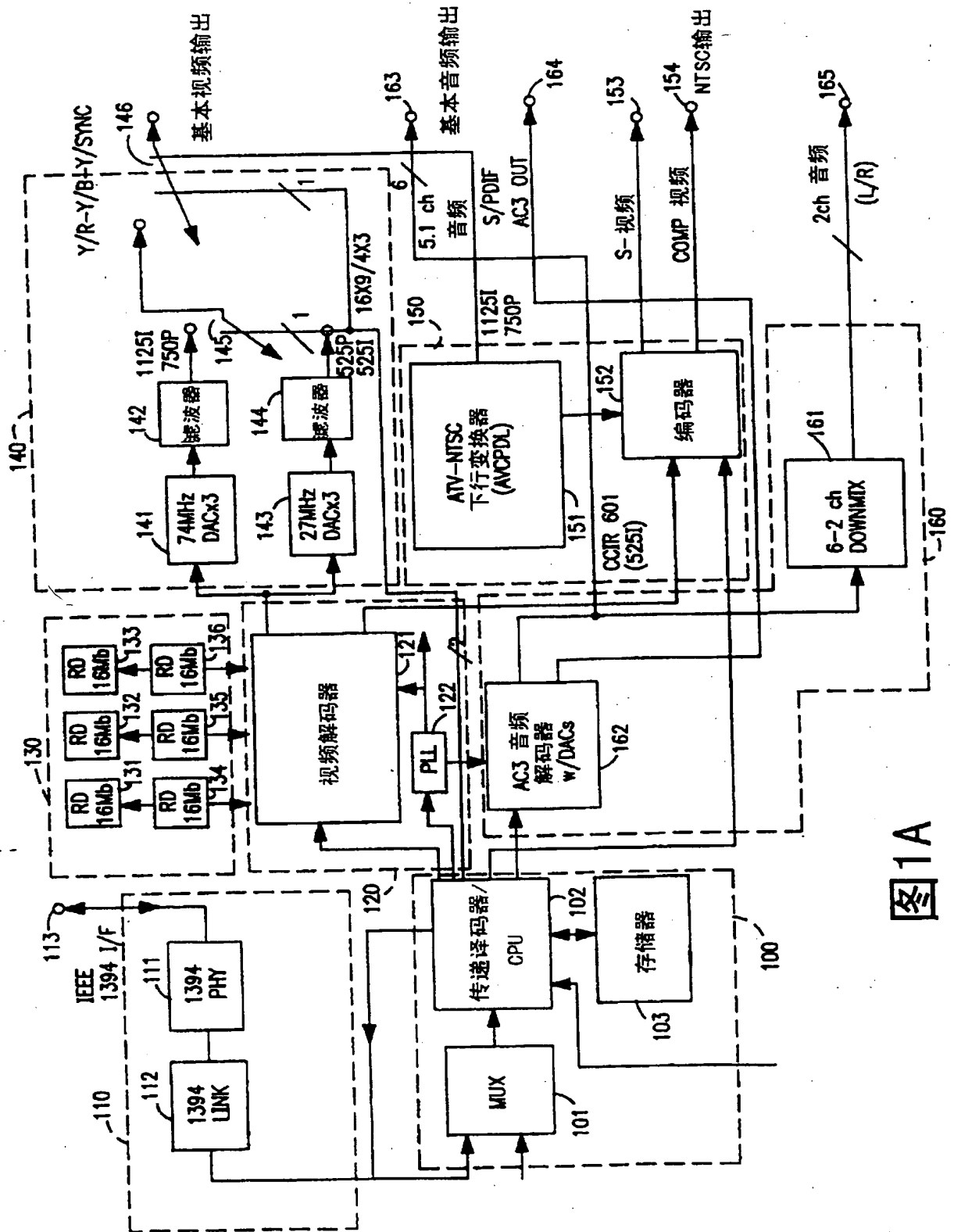


图1A

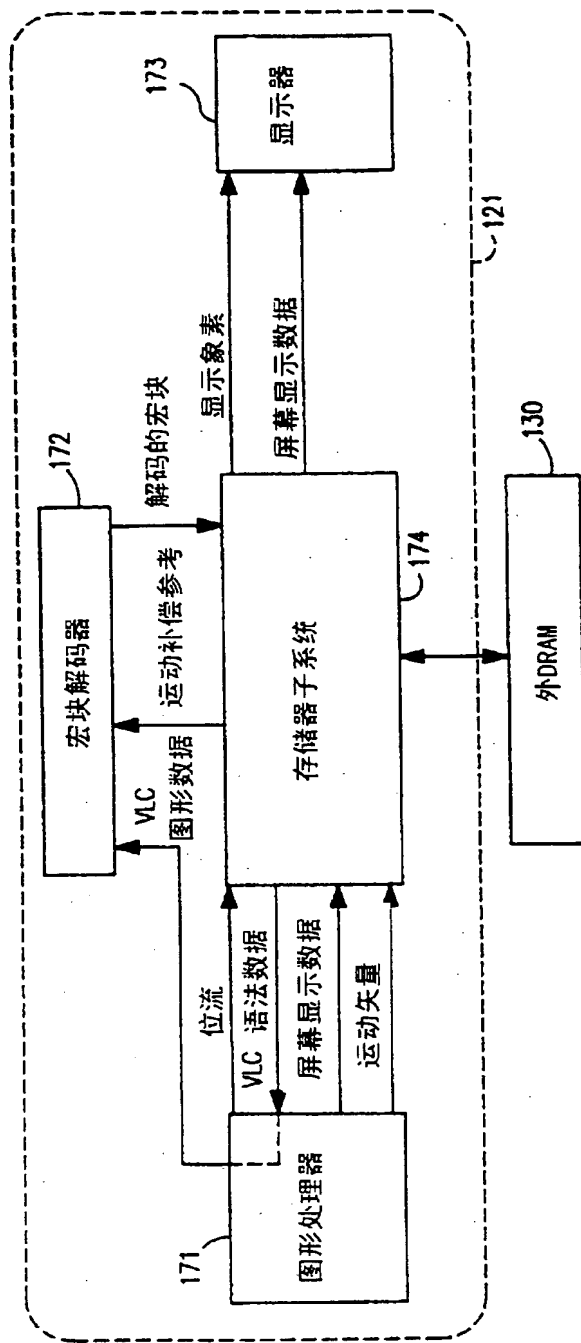
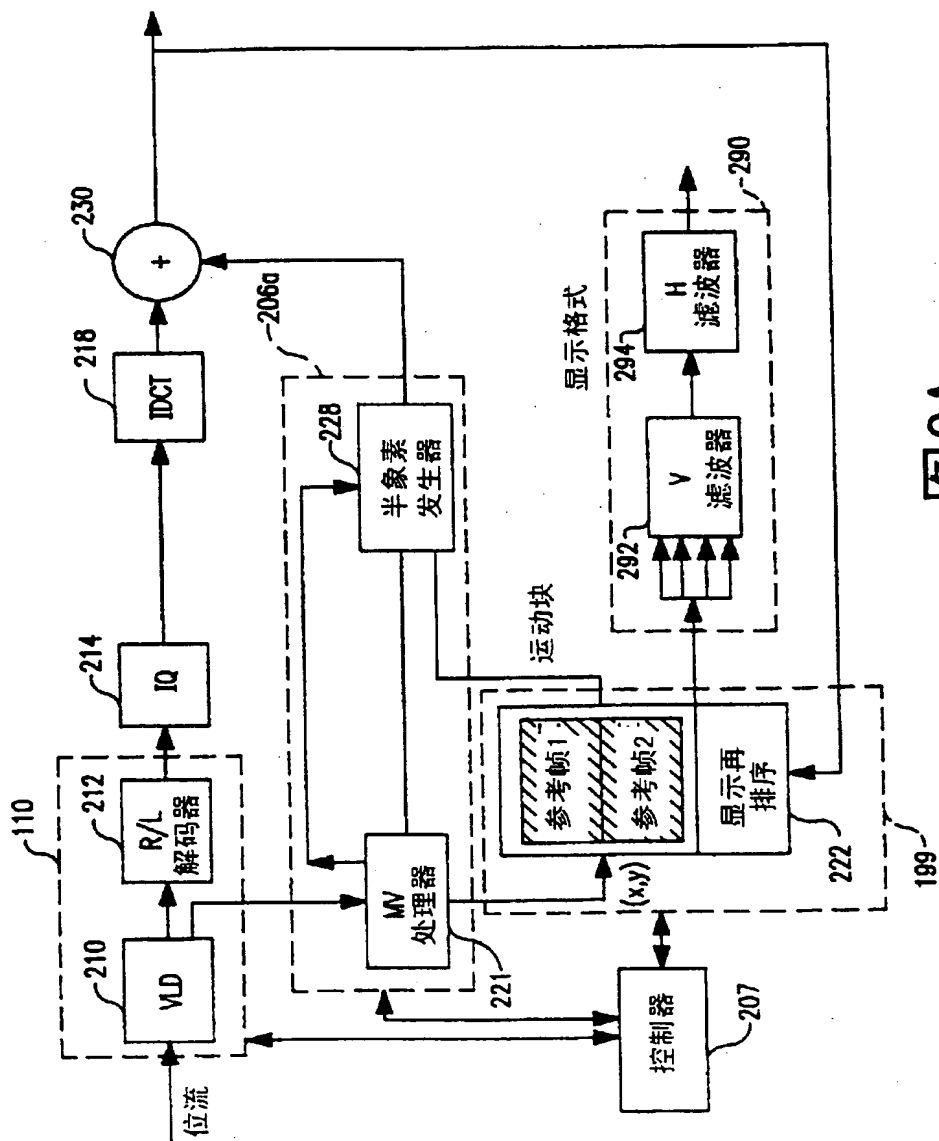


图1B



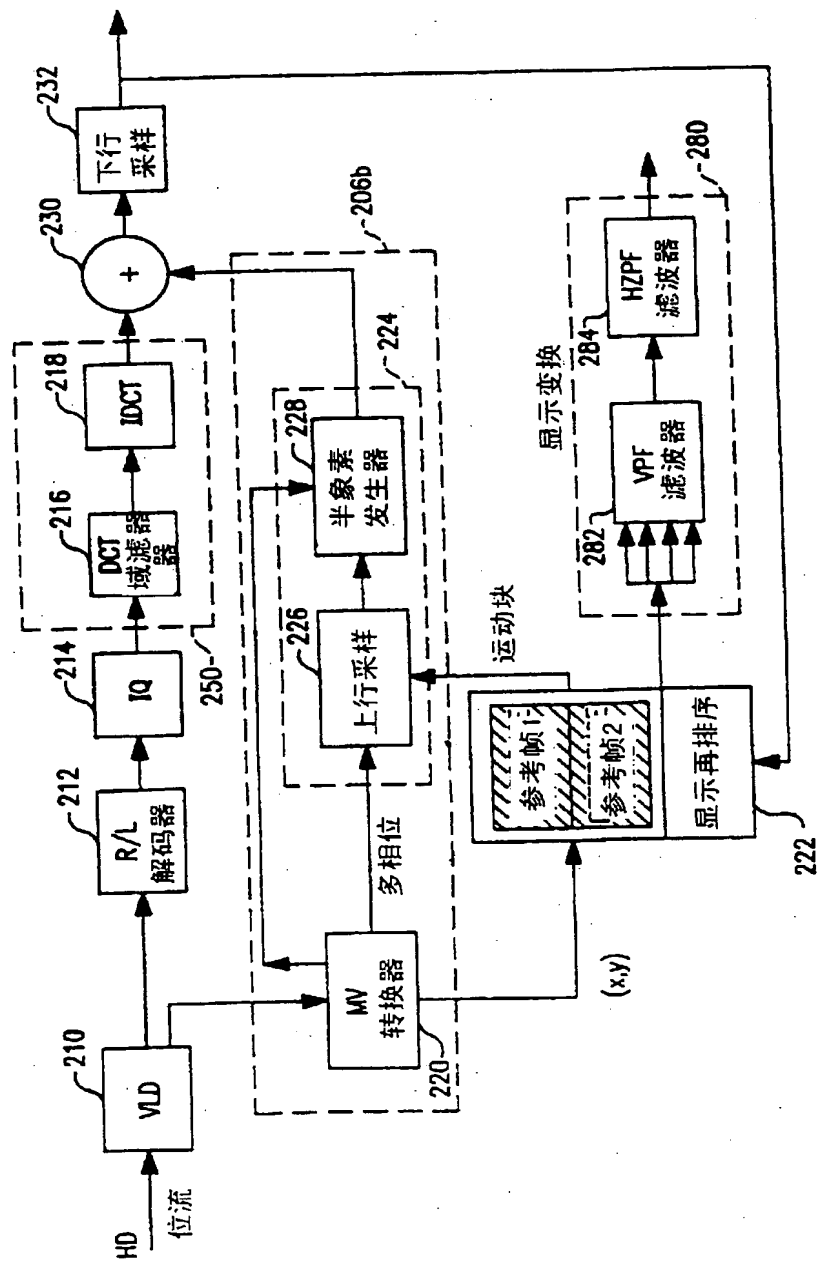


图2B

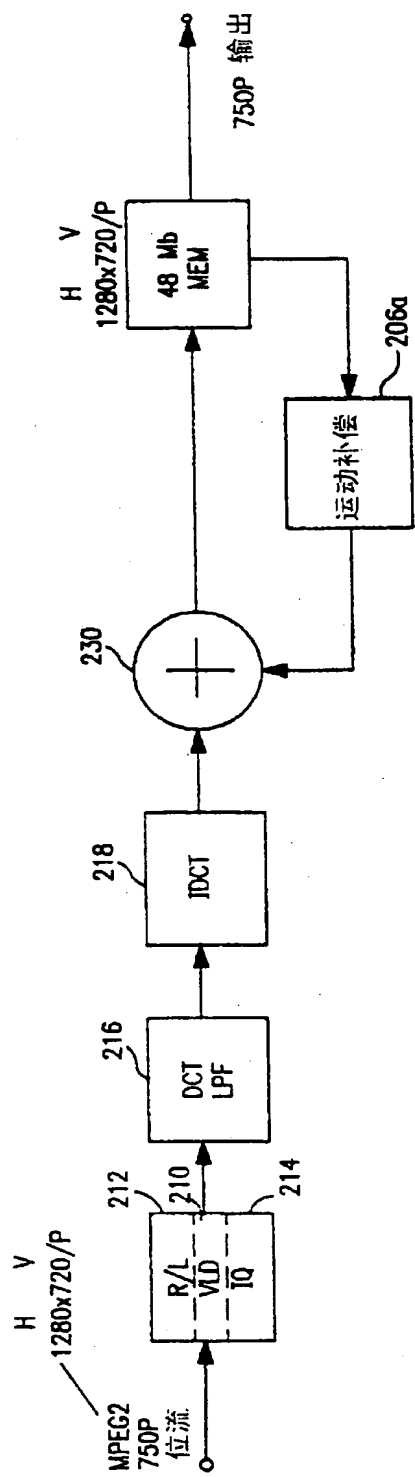


图2C

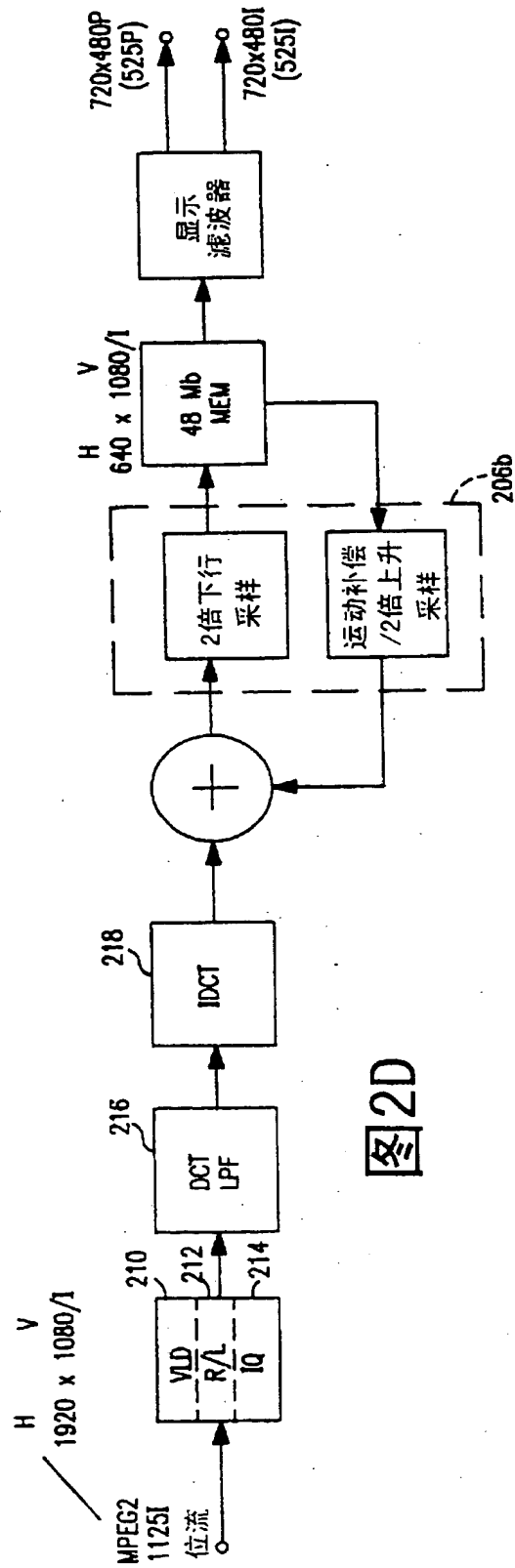


图2D

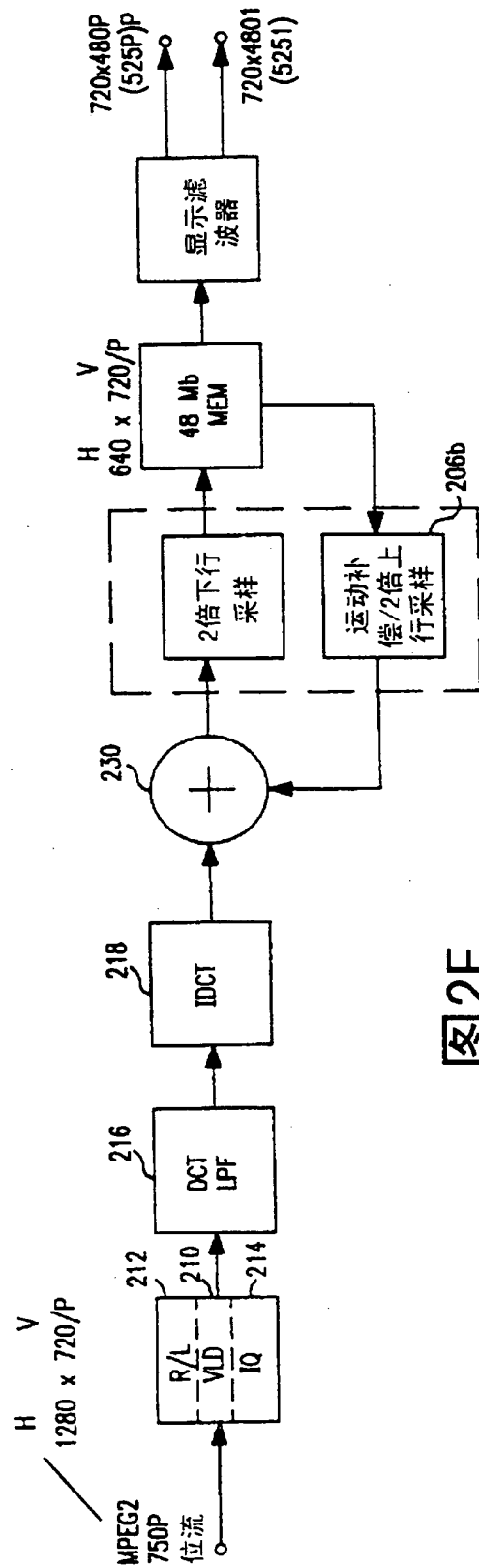


图2E

☐ ▲▲▲▲▲▲▲▲▲▲▲▲▲▲▲▲▲▲▲▲▲▲▲▲▲▲▲▲●●
☐ ●▲▲▲▲▲▲▲▲▲▲▲▲▲▲▲▲▲▲▲▲▲▲▲▲▲▲▲▲●
 ●●▲▲▲▲▲▲▲▲▲▲▲▲▲▲▲▲▲▲▲▲▲▲▲▲▲▲▲▲▲

	<u>0</u>
0	<u>1</u>
0	<u>2</u>
















































































0
1

8

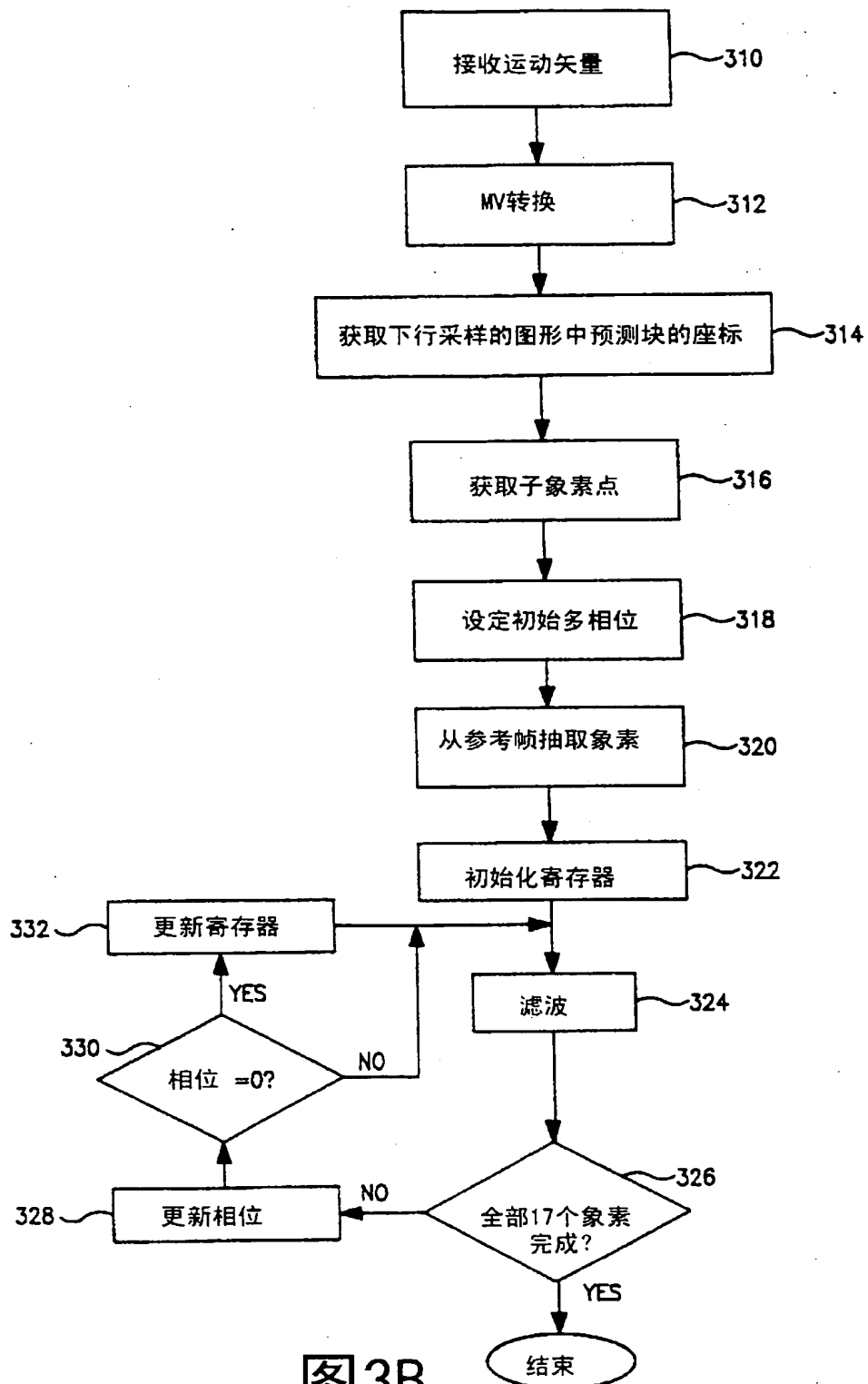


图3B



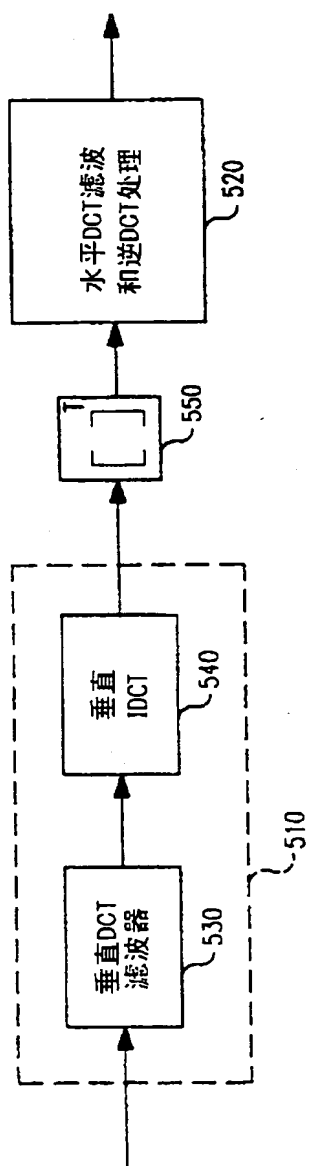


图5

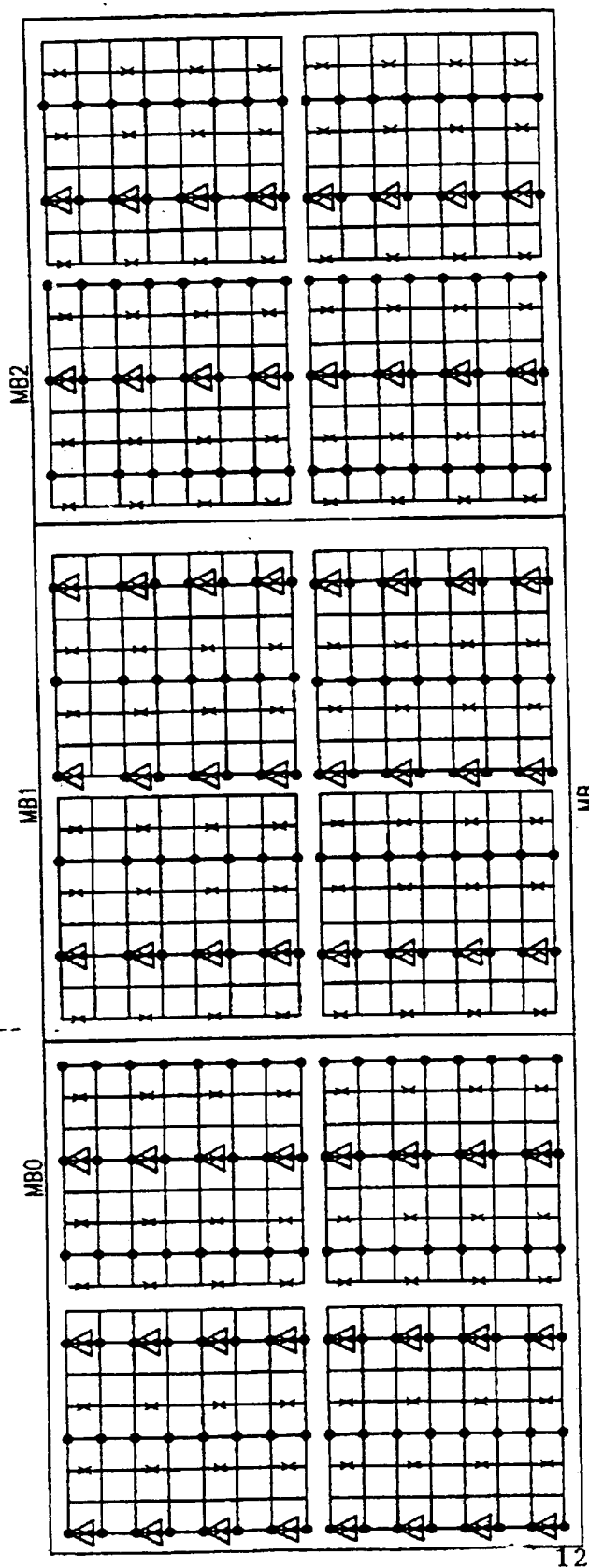


图 6A

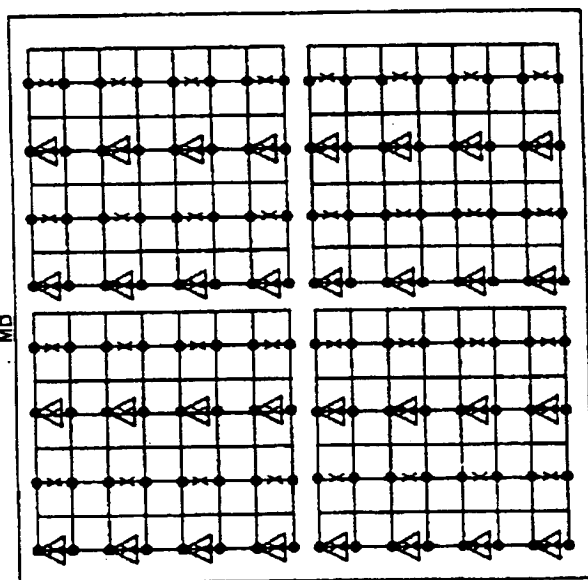
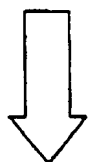
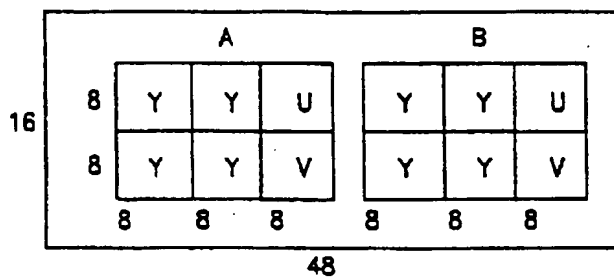
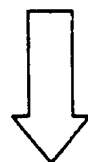
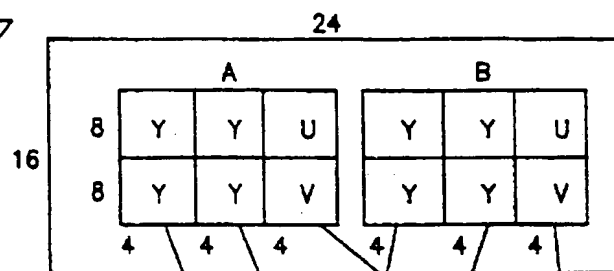


图 6B

来自一宏块行的2宏块组



2: 1水平下行采样之后



为存储汇合成单一宏块后

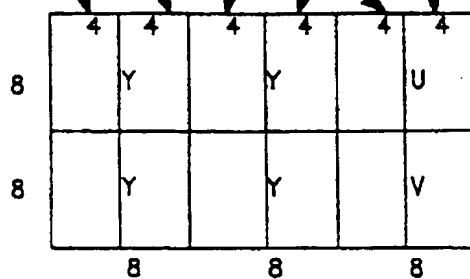
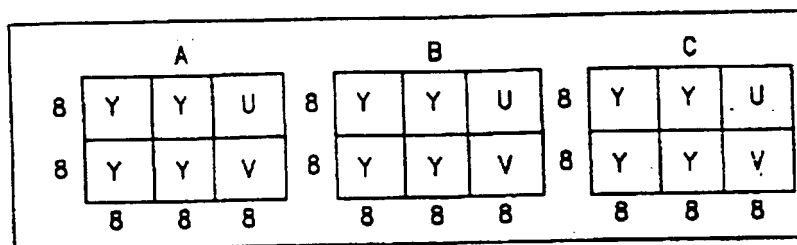


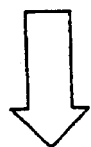
图6C

来自一宏块行的3宏块组

16

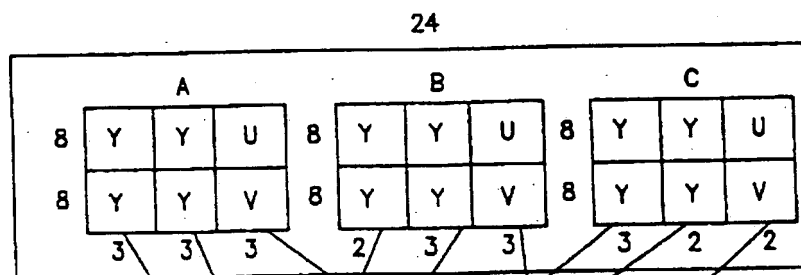


72

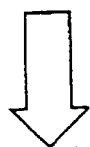


3: 1水平下行采样之后

16



24



为存储汇合成单一宏块后

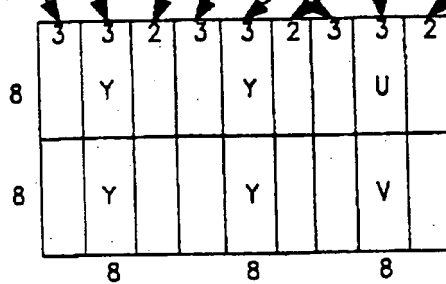


图6D

主控制器

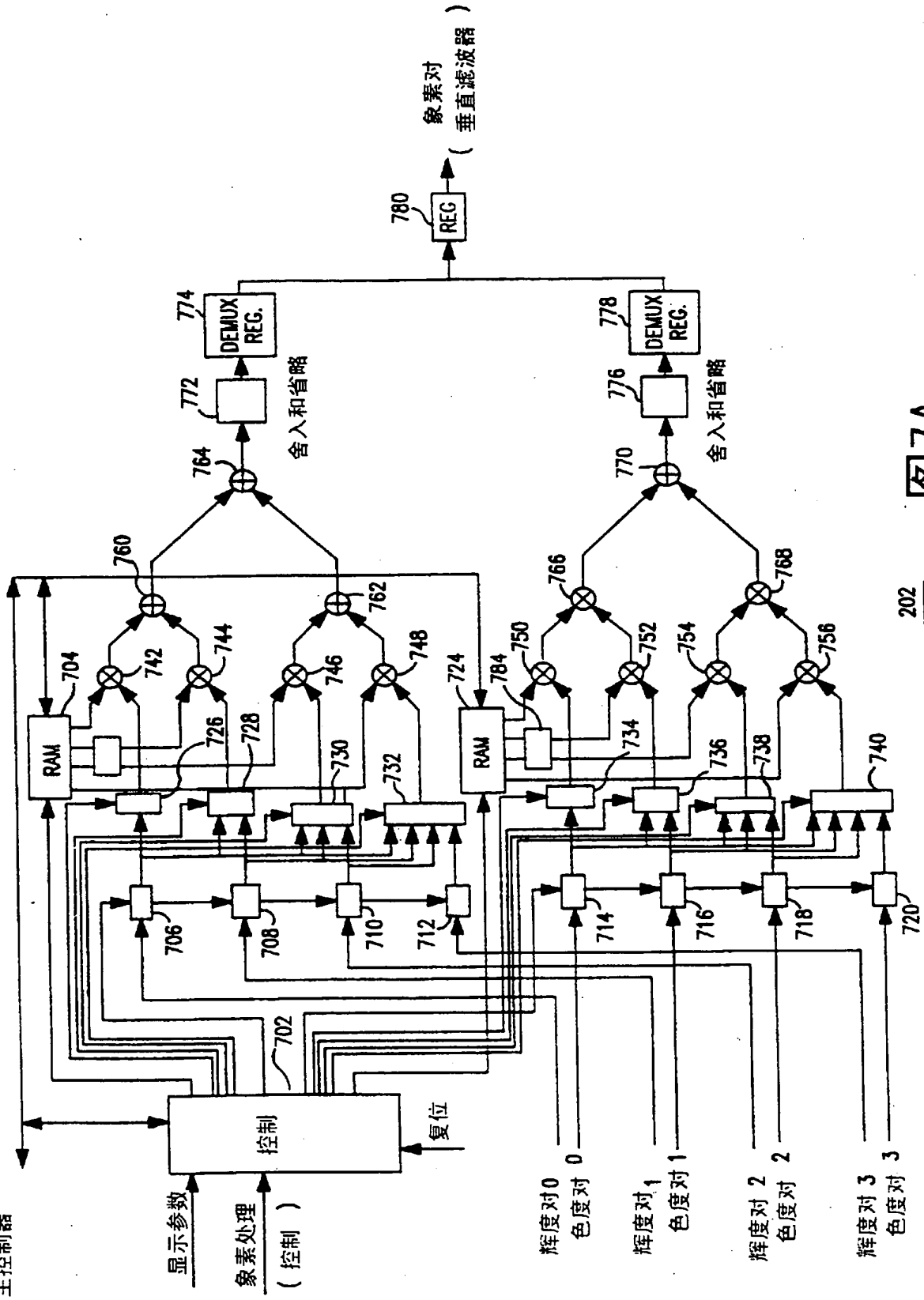


图7A

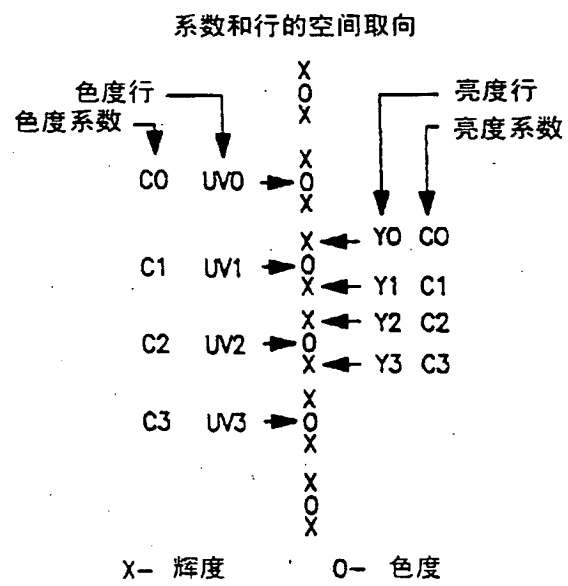


图 7B

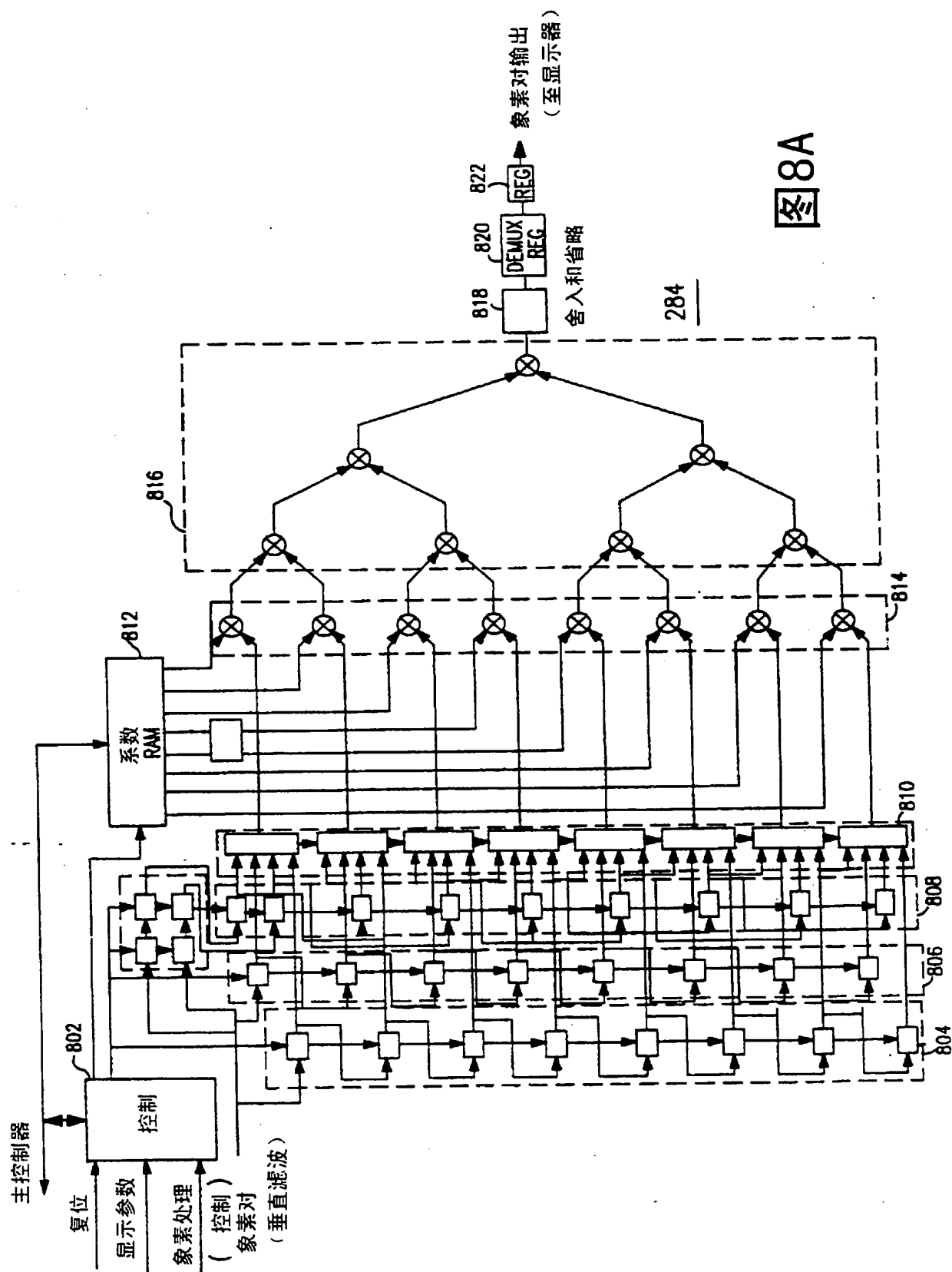


图8A

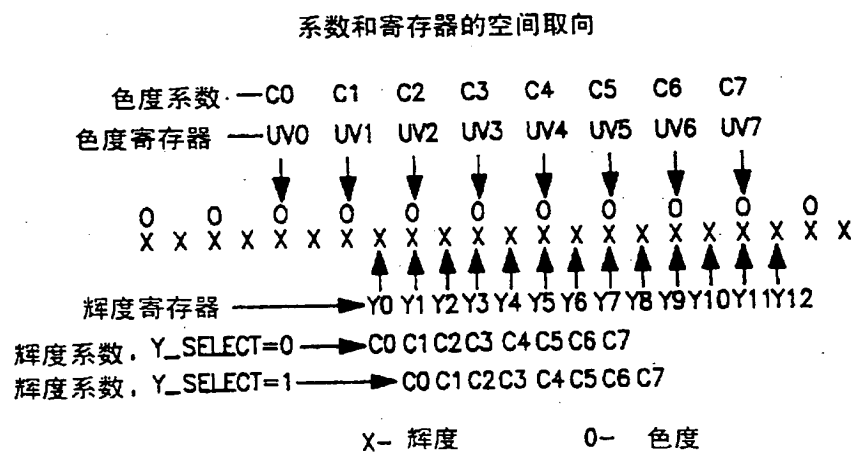


图8B

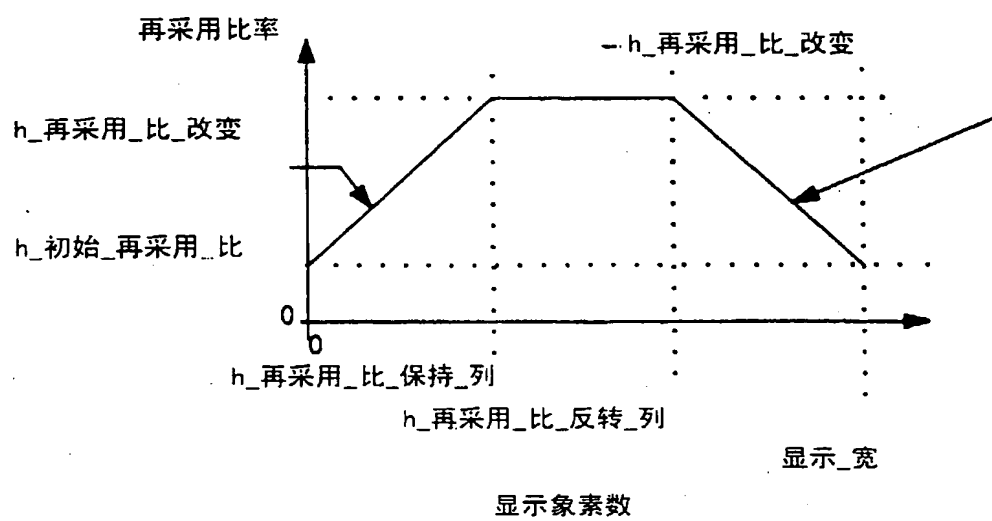


FIG. 9A

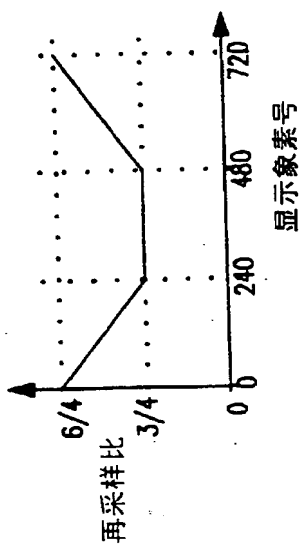


图9D

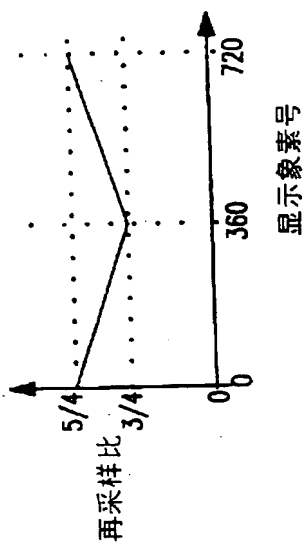


图9E

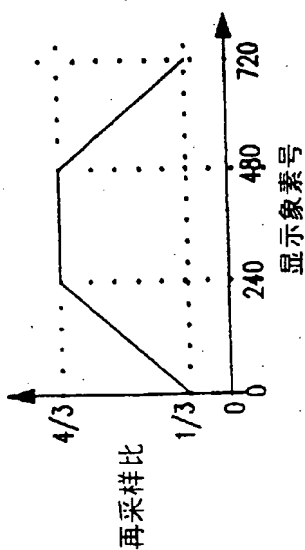


图9B

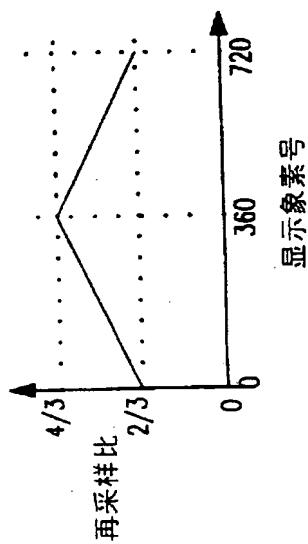


图9C











视频传送格式	16X9 显示模式				4X3 显示模式			
	完全	变焦	压缩	可变扩展	完全	变焦	压缩	可变缩小
16 9	 (g)	—	—	—	 (b)	 (c)	 (d)	 (i)
4 3	 (e)	 (f)	 (g)	 (i)	 (h)	—	—	—

图10

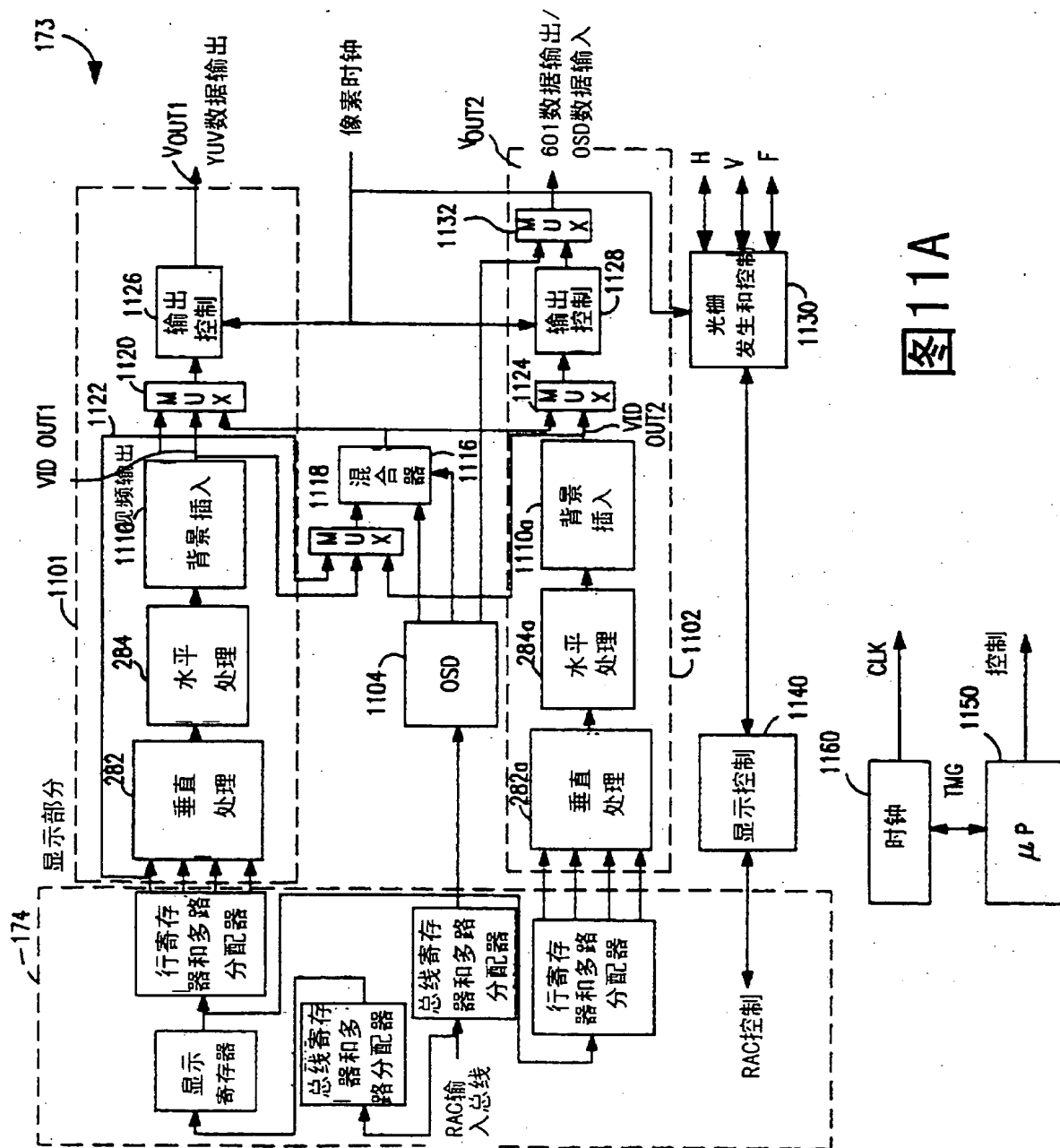


图11A

视频解码器显示输出模式：27MHz双路输出

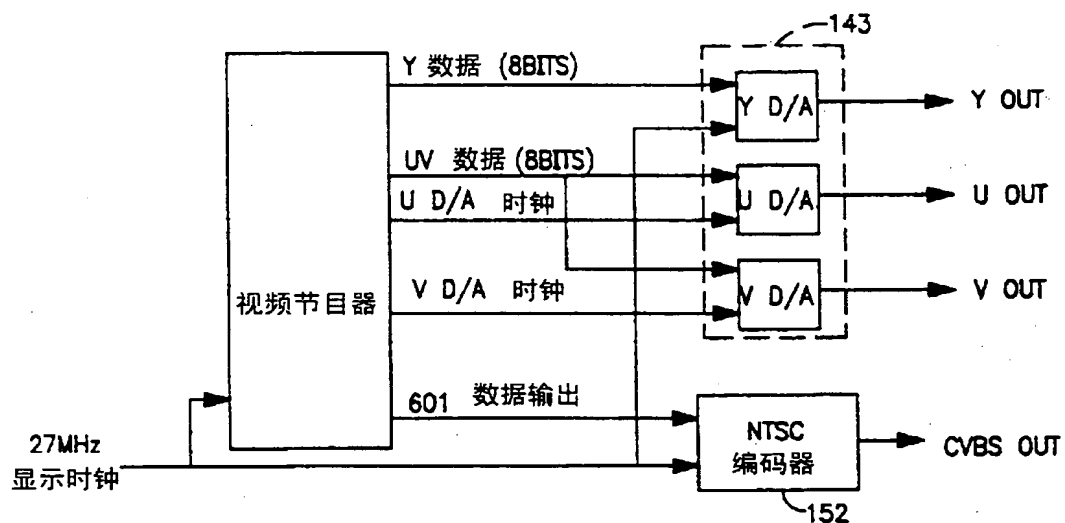


图11B

视频解码器显示输出模式：27MHz单一输出

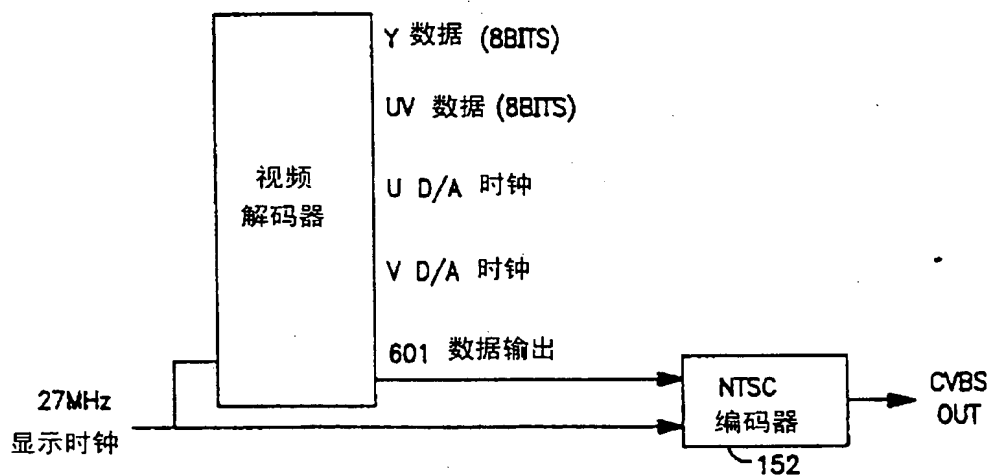


图11C

视频解码器显示输出模式：74.25M/27MHz输出，可变换

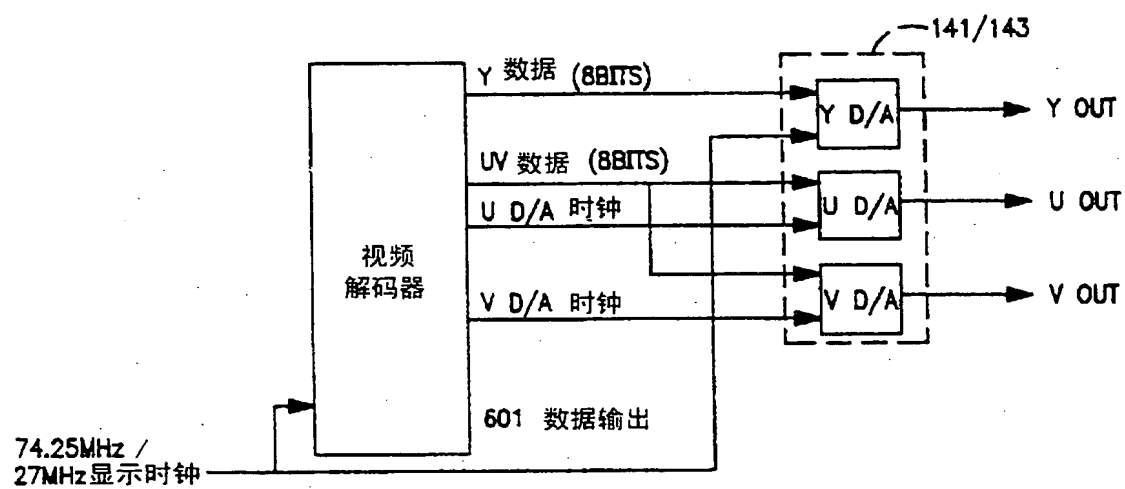
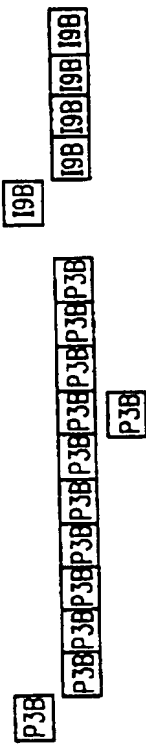


图 11D

场缓存器4



解码图形输入

作运动补偿存取

作显示存取

场缓存器5

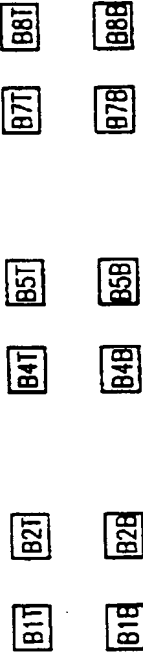


解码图形输入

作运动补偿存取

作显示存取

场缓存器6



解码图形输入

作运动补偿存取

作显示存取



显示

图13B

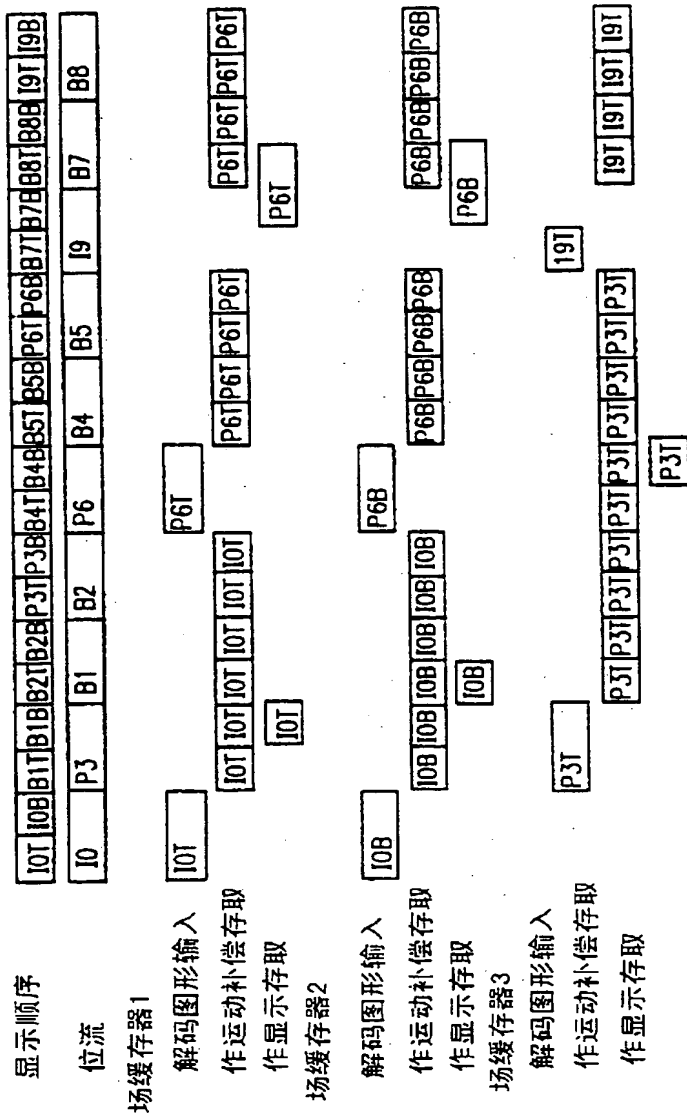


图 14A

FIG. 14A
FIG. 14B

场缓存器4

解码图形输入

P3B

1961

作运动补偿存取

198	198	198	198
-----	-----	-----	-----

作显示存取

P3B

场缓冲器5

解码图形输入

B1T	B2T
-----	-----

84T	85T
-----	-----

877	887
-----	-----

作运动补偿存取

作显示存取

827 828

85T 84T

97T 98T

缓存器6

A

A

A

解码图形输入

818	828
-----	-----

848	858
-----	-----

878	888
-----	-----

作运动补偿存取

作显示存取

818 828

858

84B

878

显示

10T	108	81	13	18	87	828	P3	P3JB4T	848	851	858	P6T	P68	87	878	88T
-----	-----	----	----	----	----	-----	----	--------	-----	-----	-----	-----	-----	----	-----	-----

图 14B

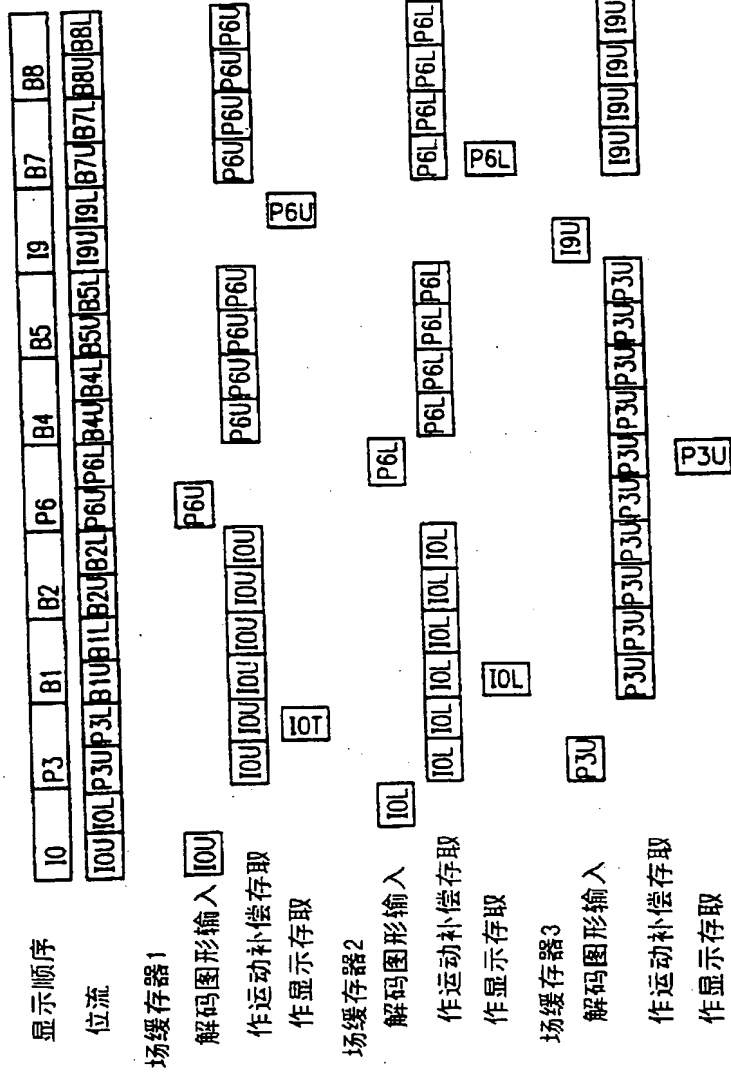


FIG. 15A
FIG. 15B

图 15A

解码图形输入

作运动补偿存取

作显示存取

场缓存器5

解码图形输入

作运动补偿存取

作显示存取

场缓存器6

解码图形输入

作运动补偿存取

作显示存取

显示

15B

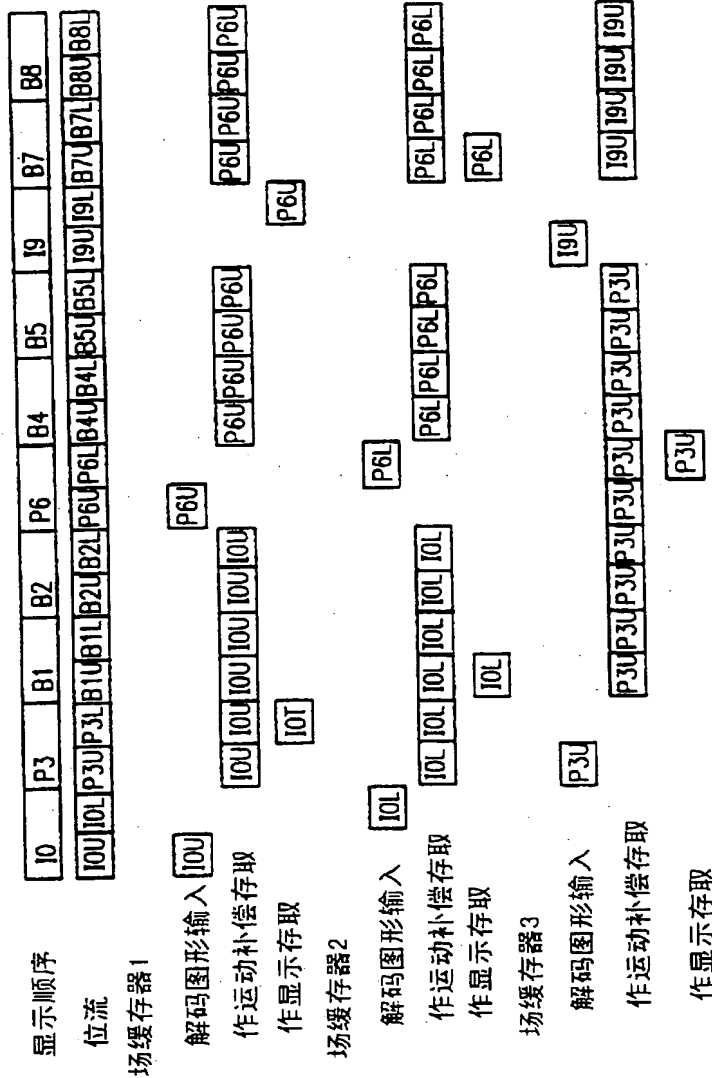


FIG. 16A
FIG. 16B

图16A

场缓存器4

解码图形输入 P3L

作运动补偿存取

作显示存取

场缓存器5

解码图形输入	B1U	B2U	B4U	B5U	B7U	B8U
作运动补偿存取						
作显示存取	B1U	B2U	B4U	B5U	B7U	B8U
场缓冲器6						
解码图形输入	B1L	B2L	B4L	B5L	B7L	B8L
作运动补偿存取						
作显示存取	B1L	B2L	B4L	B5L	B7L	B8L

解碼图形輸入	B1L	B2L	B4L	B5L	B7L	B8L
作運動补偿存取	B1L	B2L	B4L	B5L	B7L	B8L
作顯示存取	B1L	B2L	B4L	B5L	B7L	B8L

10	B1	B2	P3	B4	B5	P6	B7	B8
----	----	----	----	----	----	----	----	----

图 16B

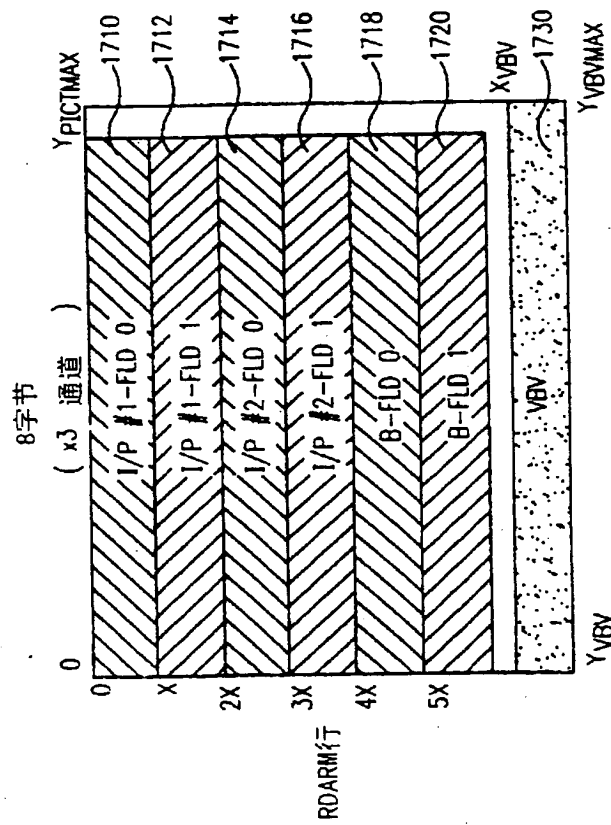


图17A

各单元表述1半宏块
——半宏块的布局 (16Y + 4U + 4V=24 8字节)

存储块行	0	1	2	29
A	0	31	32	59
B	0	60	61	89
A	1	90	91	119
B	1			

图17B

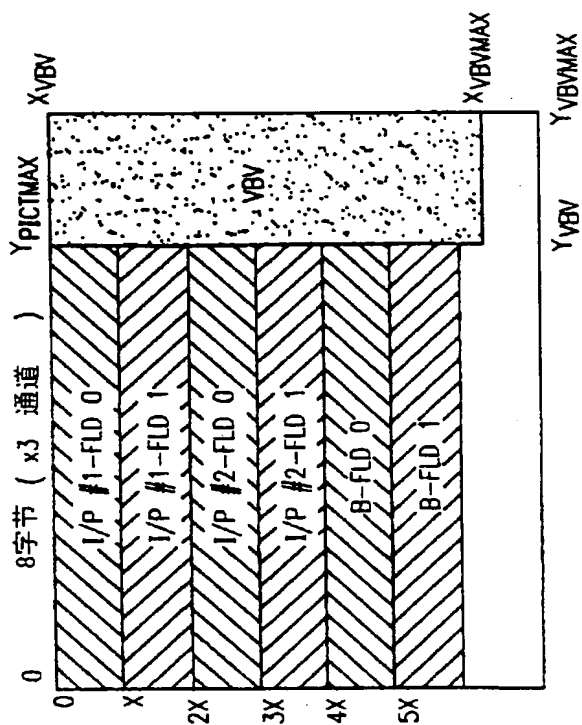


图18A

各单元表述1半宏块

一半宏块的布局 (16Y + 4U + 4V=24 8字节)

存储块行

A	0	0	1	2	23
B	0	24	25	39	

= 不可用

图18B



各单元表述1半宏块
($16Y + 4U + 4V = 24$ 8字节)

=不可用

圖 19B

圖 19B